

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-148190
(P2001-148190A)

(43)公開日 平成13年5月29日 (2001.5.29)

(51)Int.Cl.
G 11 C 11/22
14/00
H 01 L 27/105

識別記号

F I
G 11 C 11/22
11/34 3 5 2 A
H 01 L 27/10 4 4 4 B
4 4 4 Z

テーマコード(参考)

審査請求 未請求 請求項の数51 O.L. (全 24 頁)

(21)出願番号 特願2000-300963(P2000-300963)
(22)出願日 平成12年9月29日 (2000.9.29)
(31)優先権主張番号 1999-42045
(32)優先日 平成11年9月30日 (1999.9.30)
(33)優先権主張国 韓国 (KR)

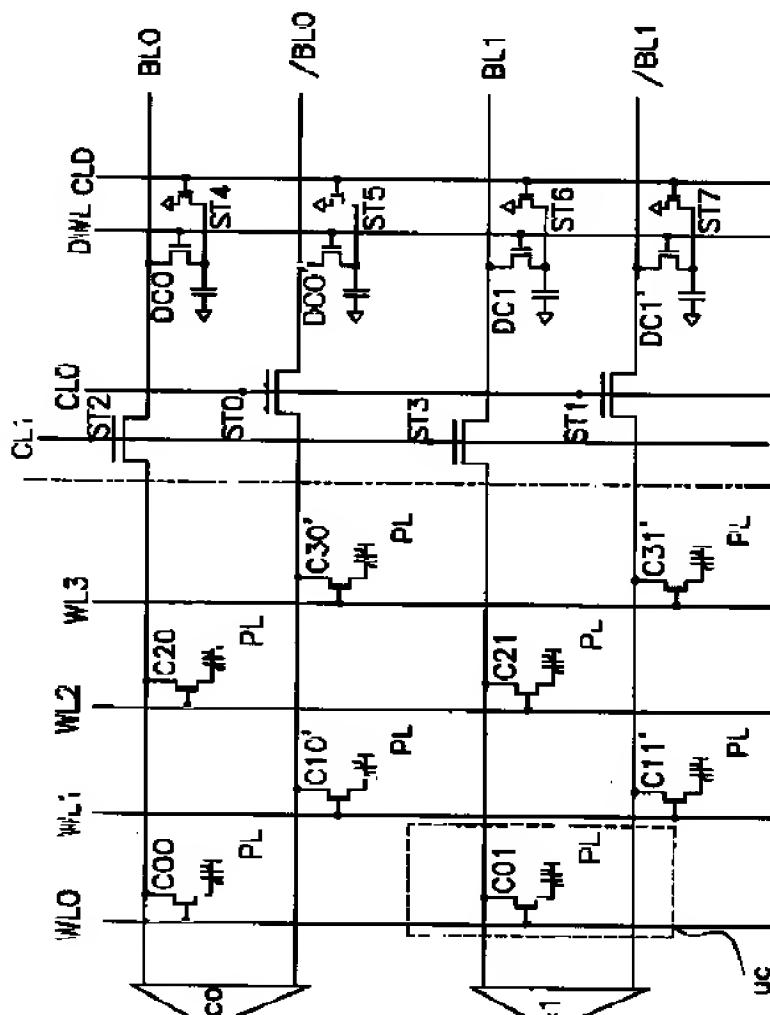
(71)出願人 399029710
東部電子株式会社
大韓民国ソウル市江南区驛三洞838 韓重
江南ビル11階
(72)発明者 金載甲
大韓民国京畿道利川市▲かる▼山洞606
現代アパートメント203 - 206
(74)代理人 10010/308
弁理士 北村修一郎

(54)【発明の名称】 強誘電体メモリ

(57)【要約】

【課題】 強誘電体メモリの繰り返し使用回数の低下を防止しつつ、高集積化を容易に実現し、キャパシタの容量を増加させる強誘電体メモリを提供する。

【解決手段】 各ビットライン (BL0, BL1等) に交互配置され、夫々直列連結される単位セル (UC) と、各ビットラインの所定位置に連結され、トランジスタとキャパシターからなるダミーセル (DC0, DC1等) と、外部からの信号に応じて各ダミーセルと対応するビットライン内の単位セル間の連結を断続するトランジスタと、データ読出時に外部からの信号に応じて、各ダミーセルの貯蔵情報を除去するスイッチングトランジスタ (ST0, ST1等) とを有し、各ダミーセルのキャパシター誘電体膜は自発分極特性を有さず、誘電体メモリは、特定ビットライン内の任意の単位セルのデータを読む際、ビットラインに、逆ビットラインに連結したダミーセルからの一定電圧を基準電圧として提供する。



【特許請求の範囲】

【請求項1】 一側方向に伸張される多数本のビットライン、及び前記各ビットラインに垂直な同一方向に伸張される多数本のワードラインを有し、 $M \times N$ の配列で前記各ラインに接続され、それぞれ一つのトランジスタとキャパシターからなった多数の単位セルからなる強誘電体メモリにおいて、

前記各ビットラインに隔行で又は隔列で交互に配置される方式でそれぞれ直列に連結される多数の単位セルからなる多数の単位セルグループと、

前記各ビットラインの任意の位置にそれぞれ連結され、それぞれ一つのトランジスタとキャパシターからなった多数のダミーセルを含むダミーセルグループと、

外部からの制御信号に応じて、前記各ダミーセルと対応する各ビットライン内の単位セル間の連結をスイッチングする多数のトランジスタからなった第1スイッチングトランジスタグループと、

データの読み出し時、外部から提供される制御信号に応じて、前記各ダミーセルに貯蔵された情報をそれぞれ除去する多数のスイッチングトランジスタからなった第2スイッチングトランジスタグループと、を含み、

前記多数の各ダミーセルのキャパシター誘電体膜は自発分極特性を有さず、前記誘電体メモリは、前記多数本のビットラインから選択された何れか1つのビットライン内の任意の単位セルからデータが読み出されるとき、前記選択されたビットラインに逆ビットラインに連結されたダミーセルから提供される一定電圧を、データ判定のための基準電圧として提供することを特徴とする強誘電体メモリ。

【請求項2】 前記多数のダミーセルグループ及び前記第1及び第2スイッチングトランジスタグループは前記単位セルグループ内部の任意の位置に配置され、前記ダミーセルグループ及び前記第1及び第2スイッチングトランジスタグループを通じてそれぞれ分離される前記各ビットラインは対応する各相互連結配線を介して接続されることを特徴とする請求項1記載の強誘電体メモリ。

【請求項3】 前記各単位セルのプレート電極は、行方向に連続する一連のプレート電極ラインに、N個ずつ分離されて連結されることを特徴とする請求項2記載の強誘電体メモリ。

【請求項4】 前記各単位セルのプレート電極は、プレート電極ラインを通じて共通で連結されることを特徴とする請求項2記載の強誘電体メモリ。

【請求項5】 前記各ダミーセルのプレート電極は、接地に連結されることを特徴とする請求項2記載の強誘電体メモリ。

【請求項6】 前記各ダミーセルのプレート電極には、既設定された一定電圧が印加されることを特徴とする請求項2記載の強誘電体メモリ。

【請求項7】 前記各ビットラインには直列に連結され

る二つの単位セルが二つずつ連続の対として配列され、隣接するビットライン間には単位セル対が互いに交互に交差する方式で配置されることを特徴とする請求項2記載の強誘電体メモリ。

【請求項8】 前記多数のビットラインは2本が一对のビットライン対に形成され、前記各ビットライン対の1ビットラインに連結された各ダミーセルは1本のダミーワードラインに共通で連結され、前記各ビットライン対の他のビットラインに連結された各ダミーセルは他のダミーワードラインに共通で連結されることを特徴とする請求項2記載の強誘電体メモリ。

【請求項9】 前記各単位セルのキャパシターは強誘電体膜であり、前記ダミーセルのキャパシターは誘電体膜であることを特徴とする請求項2記載の強誘電体メモリ。

【請求項10】 前記各ダミーセルのキャパシターは、ゲート絶縁膜を誘電体膜として使用するゲートキャパシターであることを特徴とする請求項9記載の強誘電体メモリ。

【請求項11】 前記第1スイッチングトランジスタグループは、隔行のビットラインと前記隔行のビットラインとのそれに連結された各ダミーセル間をそれぞれスイッチングする多数のスイッチングトランジスタから構成され、第1制御ラインに共通で連結される第1スイッチンググループと、

他の隔行のビットラインと前記他の隔行のビットラインとのそれに連結された各ダミーセル間をそれぞれスイッチングする多数のスイッチングトランジスタから構成され、第2制御ラインに共通で連結される第2スイッチンググループと、から構成されることを特徴とする請求項2記載の強誘電体メモリ。

【請求項12】 任意の単位セルにデータを貯蔵するとき、前記第1及び第2スイッチンググループは、外部からのスイッチング制御信号に応じてオフ状態に制御されることを特徴とする請求項11記載の強誘電体メモリ。

【請求項13】 任意の単位セルからデータを読み出すとき、外部からのスイッチング制御信号に応じて、前記第1及び第2スイッチンググループのいずれか1グループはオフ状態に制御され、残りの1グループはオン状態に制御されることを特徴とする請求項11記載の強誘電体メモリ。

【請求項14】 一側方向に伸張される多数本のビットライン、及び前記各ビットラインに垂直な同一方向に伸張される多数本のワードラインを有し、 $M \times N$ の配列で前記各ラインに接続され、それぞれ一つのトランジスタとキャパシターからなった多数の単位セルからなる強誘電体メモリにおいて、

前記各ビットラインに隔行で又は隔列で交互に配置される方式でそれぞれ直列に連結される多数の単位セルからなる多数の単位セルグループと、

前記2ビットラインずつをビットライン対に形成し、形成されたビットライン対のうち何れか1つのビットライン内の任意の位置にそれぞれ連結され、それぞれ一つのトランジスタとキャパシターからなった多数のダミーセルを含むダミーセルグループと、

外部からの制御信号に応じて、前記各ダミーセルと対応する各ビットライン内の単位セル間の連結をスイッチングする多数のスイッチングトランジスタからなった第1スイッチングトランジスタグループと、

外部からの制御信号に応じて、ダミーセルが連結されたビットラインと対をなす他のビットラインを接続させる前記ダミーセルの数に相応する数のスイッチングトランジスタからなった第2スイッチングトランジスタグループと、

データの読み出し時、外部から提供される制御信号に応じて、前記各ダミーセルに貯蔵された情報をそれぞれ除去する多数のスイッチングトランジスタからなった第3スイッチングトランジスタグループと、を含み、

前記多数の各ダミーセルのキャパシター誘電体膜は自発分極特性を有さず、前記誘電体メモリは、前記多数本のビットラインから選択された何れか1つのビットライン内の任意の単位セルからデータが読み出されるとき、前記選択されたビットライン対に連結されたダミーセルから提供される一定電圧を、データ判定のための基準電圧として提供することを特徴とする強誘電体メモリ。

【請求項15】 前記多数のダミーセルグループと前記第1、第2及び第3スイッチングトランジスタグループとは、前記単位セルグループの任意の位置に配置され、前記ダミーセルグループと前記第1、第2及び第3スイッチングトランジスタグループを通じてそれぞれ分離される前記各ビットラインは対応する各相互連結配線を通じて接続されることを特徴とする請求項14記載の強誘電体メモリ。

【請求項16】 前記各単位セルのプレート電極は、行方向に連続する一連のプレート電極ラインに、N個ずつ分離されて連結されることを特徴とする請求項15記載の強誘電体メモリ。

【請求項17】 前記各単位セルのプレート電極は、プレート電極ラインを通じて共通で連結されることを特徴とする請求項15記載の強誘電体メモリ。

【請求項18】 前記各ダミーセルのプレート電極は、接地に連結されることを特徴とする請求項15記載の強誘電体メモリ。

【請求項19】 前記各ダミーセルのプレート電極には、既設定された一定電圧が印加されることを特徴とする請求項15記載の強誘電体メモリ。

【請求項20】 前記多数の単位セルの各プレート電極は、既設定された一定電圧が印加される一つのプレート電極ラインを通じて共通で連結され、前記多数の各ダミーセルの各プレート電極は接地に連結されることを特徴

とする請求項15記載の強誘電体メモリ。

【請求項21】 前記各ビットラインには、直列に連結される少なくとも二つの単位セルが二つずつ連続の対として配列され、隣接するビットライン間には、単位セル対が互いに交互に交差する方式で配置されることを特徴とする請求項15記載の強誘電体メモリ。

【請求項22】 前記各ダミーセルは、一つのダミーワードラインに共通で連結されることを特徴とする請求項15記載の強誘電体メモリ。

【請求項23】 前記各単位セルのキャパシターは強誘電体膜であり、前記ダミーセルのキャパシターは誘電体膜であることを特徴とする請求項15記載の強誘電体メモリ。

【請求項24】 前記各ダミーセルのキャパシターは、ゲート絶縁膜を誘電体膜として使用するゲートキャパシターであることを特徴とする請求項23記載の強誘電体メモリ。

【請求項25】 前記第1スイッチングトランジスタグループは、隔行のビットラインと前記隔行のビットラインとのそれに連結された各ダミーセル間をそれぞれスイッチングする多数のスイッチングトランジスタから構成され、第1制御ラインに共通で連結される第1スイッチンググループと、

他の隔行のビットラインと前記他の隔行のビットラインとのそれに連結された各ダミーセル間をそれぞれスイッチングする多数のスイッチングトランジスタから構成され、第2制御ラインに共通で連結される第2スイッチンググループと、から構成されることを特徴とする請求項15記載の強誘電体メモリ。

【請求項26】 任意の単位セルにデータを貯蔵するとき、前記第1及び第2スイッチンググループは、外部からのスイッチング制御信号に応じてオフ状態に制御されることを特徴とする請求項25記載の強誘電体メモリ。

【請求項27】 任意の単位セルからデータを読み出すとき、外部からのスイッチング制御信号に応じて、前記第1及び第2スイッチンググループのいずれか1グループはオフ状態に制御され、残りの1グループはオン状態に制御されることを特徴とする請求項25記載の強誘電体メモリ。

【請求項28】 一側方向に伸張される多数本のビットライン、及び前記各ビットラインに垂直な同一方向に伸張される多数本のワードラインを有し、M×Nの配列で前記各ラインに接続され、それぞれ一つのトランジスタとキャパシターとからなった多数の単位セルからなる強誘電体メモリにおいて、

前記各ビットラインに隔行で又は隔列で交互に配置される方式でそれぞれ直列に連結される多数の単位セルからなる多数の単位セルグループと、

前記多数のビットラインをN個のビットライングループにそれぞれ分割し、分割された各ビットライングループ

内のうち何れか1つのビットラインの任意の位置に連結され、それぞれ一つのトランジスタとキャパシターからなった多数のダミーセルを含むダミーセルグループと、外部からの制御信号に応じて、一つのダミーセルと対応するビットライングループ内の単位セル間の連結をスイッチングする多数のスイッチングトランジスタからなった第1スイッチングトランジスタグループと、

前記ビットライングループのなかで、前記ダミーセルが連結されたビットラインとその他のビットライン間をそれぞれ連結する多数のスイッチングトランジスタからなった第2スイッチングトランジスタグループと、

データの読み出し時、外部から提供される制御信号に応じて、前記ダミーセルに貯蔵された情報をそれぞれ除去する一つのスイッチングトランジスタからなった第3スイッチングトランジスタグループと、を含み、

前記多数の各ダミーセルのキャパシター誘電体膜は自発分極特性を有さず、前記誘電体メモリは、前記多数本のビットラインから選択された何れか1つのビットライン内の任意の単位セルからデータが読み出されるとき、前記選択されたビットライン対に隣接する逆ビットラインから提供される一定電圧を、データ判定のための基準電圧として提供することを特徴とする強誘電体メモリ。

【請求項29】 前記各単位セルのプレート電極は、行方向に連続する一連のプレート電極ラインに、N個ずつ分離されて連結されることを特徴とする請求項28記載の強誘電体メモリ。

【請求項30】 前記各単位セルのプレート電極は、プレート電極ラインを通じて共通で連結されることを特徴とする請求項28記載の強誘電体メモリ。

【請求項31】 前記各ダミーセルのプレート電極は、接地に連結されることを特徴とする請求項28記載の強誘電体メモリ。

【請求項32】 前記各ダミーセルのプレート電極には、既設定された一定電圧が印加されることを特徴とする請求項28記載の強誘電体メモリ。

【請求項33】 前記各ビットライングループが、ダミーセルが連結された第1ビットラインを含む4本のビットラインから構成される場合、

前記第2スイッチングトランジスタグループは、単位セルとダミーセルとの間で、前記第1ビットラインと第2ビットライン間を連結する第1スイッチングトランジスタと、

単位セルとダミーセルとの間で、前記第1ビットラインと第3ビットライン間を連結する第2スイッチングトランジスタと、

単位セルとダミーセルとの間で、前記第1ビットラインと第4ビットライン間を連結する第3スイッチングトランジスタと、から構成されることを特徴とする請求項28記載の強誘電体メモリ。

【請求項34】 前記4本のビットラインのうち何れか

1つのヒットライン内の任意の単位セルからデータが読み出されるとき、前記第1ないし第3スイッチングトランジスタのうち何れか一つはオン状態に制御され、残りの二つはオフ状態に制御されることを特徴とする請求項33記載の強誘電体メモリ。

【請求項35】 一側方向に伸張される多数本のビットライン、及び前記各ビットラインに垂直な同一方向に伸張される多数本のワードラインを有し、M×Nの配列で前記各ラインに接続され、それぞれ一つのトランジスタとキャパシターとからなった多数の単位セルからなる強誘電体メモリにおいて、

前記各ビットラインに隔行で又は隔列で交互に配置される方式でそれ直列に連結される多数の単位セルからなる多数の単位セルグループと、

前記各ビットラインの任意の位置で隔行の第1及び第2ダミーセル群に分割され、分割された各ダミーセル群が第1及び第2ダミーワードラインにそれぞれ連結され、前記各ダミーセルがそれぞれ一つのトランジスタとキャパシターとからなったダミーセルグループと、

データの読み出し時、外部から提供される制御信号に応じて、前記各ダミーセルに貯蔵された情報をそれぞれ除去する多数のスイッチングトランジスタからなったスイッチングトランジスタグループと、を含み、

前記多数の各ダミーセルのキャパシター誘電体膜は自発分極特性を有さず、前記誘電体メモリは、前記多数本のビットラインから選択された何れか1つのビットライン内の任意の単位セルからデータが読み出されるとき、前記選択されたビットラインに隣接する逆ビットラインに連結されたダミーセルから提供される一定電圧を、データ判定のための基準電圧として提供することを特徴とする強誘電体メモリ。

【請求項36】 前記多数のダミーセルグループとスイッチングトランジスタグループとは、前記単位セルグループ内部の任意の位置に配置されることを特徴とする請求項35記載の強誘電体メモリ。

【請求項37】 前記各単位セルのプレート電極は、行方向に連続する一連のプレート電極ラインにN個ずつ分離されて連結されることを特徴とする請求項36記載の強誘電体メモリ。

【請求項38】 前記各単位セルのプレート電極は、プレート電極ラインを通じて共通で連結されることを特徴とする請求項36記載の強誘電体メモリ。

【請求項39】 前記各ダミーセルのプレート電極は、接地に連結されることを特徴とする請求項36記載の強誘電体メモリ。

【請求項40】 前記各ダミーセルのプレート電極には、既設定された一定電圧が印加されることを特徴とする請求項36記載の強誘電体メモリ。

【請求項41】 前記各ビットラインには、直列に連結される少なくとも二つの単位セルが二つずつ連続の対と

して配列され、隣接するビットライン間には単位セル対が互いに交互に交差する方式で配置されることを特徴とする請求項36記載の強誘電体メモリ。

【請求項42】前記各単位セルのキャパシターは強誘電体膜であり、前記ダミーセルのキャパシターは誘電体膜であることを特徴とする請求項36記載の強誘電体メモリ。

【請求項43】前記各ダミーセルのキャパシターは、ゲート絶縁膜を誘電体膜として使用するゲートキャパシターであることを特徴とする請求項42記載の強誘電体メモリ。

【請求項44】任意の単位セルからデータを読み出すとき、外部からの制御信号に応じて、前記第1及び第2ダミーワードライングループのうち何れか1つのグループはオフ状態に制御され、残りの1グループはオン状態に制御されることを特徴とする請求項36記載の強誘電体メモリ。

【請求項45】一側方向に伸張される多数本のビットライン、及び前記各ビットラインに垂直な同一方向に伸張される多数本のワードラインを有し、 $M \times N$ の配列で前記各ラインに接続され、それぞれ一つのトランジスタとキャパシターとからなった多数の単位セルからなる強誘電体メモリにおいて、

前記各ビットラインに直列に連結され、各ゲートが共通の列間隔で提供される各ワードラインに連結される多数の単位セルからなった多数の単位セルグループと、ダミービットライン及びダミービットラインを通じて連結され、データの読み出し時に選択されたビットラインに、データ判定陽基準電圧を提供するための一つのトランジスタとキャパシターとからなったダミーセルと、データの読み出し時、外部から提供される制御信号に応じて、前記ダミーセルに貯蔵された情報を除去するスイッチングトランジスタと、を含み、

前記ダミーセルのキャパシター誘電体膜は自発分極特性を有さず、前記誘電体メモリは、前記多数本のビットラインから選択された何れか1つのビットライン内の任意の単位セルからデータが読み出されるとき、前記ダミービットラインに連結されたダミーセルからの一定電圧を、前記基準電圧として提供することを特徴とする強誘電体メモリ。

【請求項46】前記各単位セルのプレート電極は、行方向に連続する一連のプレート電極ラインにN個ずつ分離されて連結されることを特徴とする請求項45記載の強誘電体メモリ。

【請求項47】前記各単位セルのプレート電極は、プレート電極ラインを通じて共通で連結されることを特徴とする請求項45記載の強誘電体メモリ。

【請求項48】前記各ダミーセルのプレート電極は、接地に連結されることを特徴とする請求項45記載の強誘電体メモリ。

【請求項49】前記各ダミーセルのプレート電極には、既設定された一定電圧が印加されることを特徴とする請求項45記載の強誘電体メモリ。

【請求項50】前記各単位セルのキャパシターは強誘電体膜であり、前記ダミーセルのキャパシターは誘電体膜であることを特徴とする請求項45記載の強誘電体メモリ。

【請求項51】前記ダミーセルのキャパシターが、ゲート絶縁膜を誘電体膜として使用するゲートキャパシターであることを特徴とする請求項45記載の強誘電体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は強誘電体メモリに関するもので、より詳しくはペロブスカイト (perovskite) 構造を有する強誘電性材料を採用してデータ判読の信頼性を増大させることに適した強誘電体メモリ (FeRAM) に関するものである。

【0002】

【従来の技術】周知のように、半導体メモリ装置は、電源の遮断後、情報の損失有無によって、揮発性メモリ (volatile memory) と非揮発性メモリ (nonvolatile memory) とに分類することができる。揮発性メモリの一種であるDRAM (dynamic random access memory) は、動作速度が速い代わりに、電源が供給される間にだけ情報が維持され、また、キャパシターに連結された電荷伝送トランジスタの漏洩電流によるデータの損失を防止するためには、一定間隔でデータをリフレッシュ (refresh) しなければならないため、消費電力が高すぎる欠点を有し、非揮発性メモリの一種であるEEPROM、フラッシュメモリなどは、電源が遮断されてもデータが維持される特性を有する反面、動作速度が遅くて消費電力が大きい欠点を有する。

【0003】これに対し、強誘電体メモリ (FeRAM) はDRAMとほぼ同じ動作速度を有しながらも消費電力が低い利点を有し、また、EEPROM又はフラッシュメモリなどのように、電源が遮断されてもデータが維持される非揮発性メモリである。したがって、最近、DRAM、EEPROM、フラッシュメモリ及びその他の半導体を代替し得るメモリとしての認識が拡散されて、世界の有数の企業及び研究所などで研究開発が活発に進行されている。

【0004】一方、前述したような強誘電体メモリは、一定電圧を印加して分極させてからは、電源を遮断しても、分極がそのまま維持される自発分極の特性を有するPZT ($Pb(Zr,Ti)O_3$)、SBT ($SrBi_2Ta_2O_9$) などの強誘電体膜を用いるキャパシターを使用する強誘電体メモリで、このような強誘電体メモリは図1に示すような強誘電体のヒステリシス特性を用いる。図1に示すように、強誘電体は、初期状態で電圧 (V) を+方向に増加

させると、分極されて、最大上位電圧で分極値が Q_{max} となり、電圧を遮断すると、強誘電体の残留分極は Q_r となり、このときをデータ“1”とする。一方、電圧を一方向に減少させると、強誘電体は反対方向に分極され、最大下位電圧で Q_{min} となり、電圧を遮断すると、強誘電体の残留分極は $-Q_r$ となり、このときをデータ“0”とする。ここで、電圧の+方向と-方向はキャパシターの上部電極と下部電極間の相対的な値で、+方向は上部電極が下部電極に比べて相対的に高い電位を有することを意味し、-方向は上部電極が下部電極に比べて相対的に低い電位を有することを意味する。

【0005】より具体的には、従来、強誘電体メモリの等価回路図を示す図13において、単位セル(UC)にデータ“1”を貯蔵するためには、電荷伝送トランジスタを“オン”状態にし、プレート電極に比べ、ビットラインに上位電位を印加して強誘電体を自発分極させた後、電荷伝送トランジスタを“オフ”にし、単位セル(UC)にデータ“0”を貯蔵するためには、電荷伝送トランジスタを“オン”状態にし、プレート電極に比べ、ビットラインに下位電位を印加して強誘電体を自発分極させた後、電荷伝送トランジスタを“オフ”にするといい。

【0006】また、メモリからデータを判読する場合には、プレート電極に比べ、ビットラインの電位を上位電位にした状態で、電荷伝送トランジスタを“オン”状態にすると、キャパシターに貯蔵されたデータが“1”であるとき、ビットラインに電荷量 dQ_1 が出、キャパシターに貯蔵されたデータが“0”であるとき、ビットラインに電荷量 dQ_0 が出る。すなわち、キャパシターに貯蔵されたデータによって、ビットラインに流出される電荷量が異なるため、ビットラインの電位が異なることになる。

【0007】すなわち、データが“1”である場合、ビットラインの電位は、ビットラインの電荷容量を C_b とし、単位セルの電荷容量を C_s とすると、 $V_1 = dQ_1 / (C_b + C_s)$ となり、データが“0”である場合、ビットラインの電位は、 $V_0 = dQ_0 / (C_b + C_s)$ となる。したがって、図示を省略したメモリの出力端では、これら各出力値を基準電位と比較することにより、出力データを判定(1又は0)する。

【0008】図13はそれぞれ一つのトランジスタ/キャパシター(1T/1C)構造を有する従来の強誘電体メモリの一部を示す等価回路図である。同図に示すように、強誘電体メモリは $M \times N$ 個の単位セルからなり、各単位セル(UC)は一つのトランジスタ(電荷伝送トランジスタ)と一つのキャパシター(つまり、1T/1C)とから構成され、各トランジスタのゲートは対応するワードライン(WL0、WL1、又はWL2)に連結され、各ドレン(又はソース)は対応するビットライン(BL0又はBL1)に連結され、各ソース(又はドレ

ン)は各キャパシターの一端に連結され、各キャパシターの他端は対応するプレート電極ライン(PL0、PL1又はPL2)に連結される。ここで、各ビットライン(BL0又はBL1)の一端は比較器(C0又はC1)の一側入力に連結される。

【0009】また、従来、強誘電体メモリは基準電圧発生回路を備え、基準電圧発生回路は二つのスイッチングトランジスタ(ST0、ST1)と二つのダミーセル(DC0、DC1)を含み、各ダミーセルは一つのトランジスタ(電荷伝送トランジスタ)と一つのキャパシターから構成される。ここで、ダミーセル内の各トランジスタのドレン(又はソース)は各ダミービットライン(DBL、/DBL)にそれぞれ対応して連結されて、各スイッチングトランジスタ(ST0、ST1)を経由する出力に共通で連結され、このような二つのスイッチングトランジスタ(ST0、ST1)の出力は各比較器(C0、C1)の他側入力に連結される。

【0010】すなわち、各比較器は、一側入力にビットラインが連結され、他側入力にダミービットラインの共通出力が連結される。したがって、各比較器では、ビットラインを通じて提供される任意の単位セルでの電圧と二つのスイッチングトランジスタ(ST0、ST1)の共通出力から提供される基準電圧との比較により、任意の単位セルでの出力データを判定(0又は1)する。

【0011】一方、前述したような構造を有する強誘電体メモリに使用される強誘電体膜は、一般のキャパシターに比べて疲労劣化耐性が弱いため、 10^{15} の繰り返し記録回数を有する一般のキャパシターに比べ、その繰り返し記録回数が 10^{12} と小さい。この際に、基準電位を発生するダミーセル(DC0、DC1)の場合、それぞれの単位セルにデータを書き込むか読み出す都度、ダミーセルが使用されるため、実際に、データが貯蔵される単位セルより遥かに多い回数を使用することになるので、ダミーセルは単位セルに比べ、より早く劣化する。すなわち、一つのメモリブロック内のビットラインに256個の単位セルが連結され、一つのワードラインに1024個の単位セルが連結されている256K個の単位セルの場合、それぞれの単位セルが一度だけ書き込むか読み出すとき、ダミーセルは256K回の書き込み及び読み出しをすることになる。したがって、半導体メモリにおける実際の繰り返し使用回数は、単位セルでなくダミーセルにより決定される。このような理由で、強誘電体メモリの実際の繰り返し使用回数は理論値である 10^{12} でなくて 10^7 となる。すなわち、1T/1C構造を有する従来の強誘電体メモリの場合、半導体メモリの実際繰り返し使用回数が理論的な繰り返し使用回数より遥かに小さくなるという問題がある。

【0012】図14はそれぞれ二つのトランジスタ/キャパシター(2T/2C)構造を有する従来の強誘電体メモリの一部を示す等価回路図である。同図に示すよう

に、図13に示した従来の強誘電体メモリのように、基準電圧発生回路を別に備えるものとは異なり、一つの単位セル(UC)を二つのトランジスタ(電荷伝送トランジスタ)と二つのキャパシターとから構成することにより、データ判定時、それぞれの単位セル(UC)でビットラインと比較される基準電圧が発生するように構成した点が異なる。

【0013】したがって、2T/2C構造を有する従来の強誘電体メモリは、それぞれの単位セル(隣接するビットライン)でビットラインと比較される基準電圧を発生するため、前述した1T/1C構造の強誘電体メモリでの問題、ダミーセルの頻繁な使用により全体半導体メモリの繰り返し使用回数が低下する問題を解決することができる。しかし、前述した2T/2C構造の強誘電体メモリは、各単位セルごとに二つの電荷伝送トランジスタを形成しなければならないため、各単位セルの大きさが大きくなつて、高集積化を実現し得ないという更に他の致命的な欠点を有する。

【0014】

【発明が解決しようとする課題】本発明は、基準電圧を発生するダミーセルの使用頻度を単位セルの使用頻度に対応させることにより、全体強誘電体メモリの繰り返し使用回数が低下することを防止し得る強誘電体メモリを提供することにその目的がある。本発明の他の目的は、強誘電体メモリの繰り返し使用回数が低下することを防止するとともに高集積化を容易に実現し得る強誘電体メモリを提供することにある。本発明の更に他の目的は、強誘電体メモリの高集積化を実現するとともにキャパシターの容量増加を図り得る強誘電体メモリを提供することにある。

【0015】

【課題を解決するための手段】前記目的を達成するための一形態による本発明は、一側方向に伸張される多数本のビットライン、及び前記各ビットラインに垂直な同一方向に伸張される多数本のワードラインを有し、M×Nの配列で前記各ラインに接続され、それぞれ一つのトランジスタとキャパシターとからなつた多数の単位セルからなる強誘電体メモリにおいて、前記各ビットラインに隔行で又は隔列で交互に配置される方式でそれぞれ直列に連結される多数の単位セルからなる多数の単位セルグループと、前記各ビットラインの任意の位置にそれぞれ連結され、それぞれ一つのトランジスタとキャパシタからなつた多数のダミーセルを含むダミーセルグループと、外部からの制御信号に応じて、前記各ダミーセルと対応する各ビットライン内の単位セル間の連結をスイッチングする多数のスイッチングトランジスタグループと、外部からの制御信号に応じて、ダミーセルが連結されたビットラインと対をなす他のビットラインを接続させる前記ダミーセルの数に相応する数のスイッチングトランジスタからなつた第1スイッチングトランジスタグループと、外部からの制御信号に応じて、ダミーセルが連結されたビットラインと対をなす他のビットラインを接続させる前記ダミーセルの数に相応する数のスイッチングトランジスタからなつた第2スイッチングトランジスタグループと、データの読み出し時、外部から提供される制御信号に応じて、前記各ダミーセルに貯蔵された情報をそれぞれ除去する多数のスイッチングトランジスタからなつた第3スイッチングトランジスタグループと、を含み、前記多数の各ダミーセルのキャパシター誘電体膜は自発分極特性を有さず、前記誘電体メモリは、前記多数本のビットラインから選択された何れか1つのビットライン内の任意の単位セルからデータが読み出されるとき、前記選択されたビットライン対に連結されたダミーセルから提供される一定電圧を、データ判定のための基準電圧として提供することを特徴とする強誘電体メモリを提供する。

タグループと、を含み、前記多数の各ダミーセルのキャパシター誘電体膜は自発分極特性を有さず、前記誘電体メモリは、前記多数本のビットラインから選択された何れか1つのビットライン内の任意の単位セルからデータが読み出されるとき、前記選択されたビットラインに逆ビットラインに連結されたダミーセルから提供される一定電圧を、データ判定のための基準電圧として提供することを特徴とする強誘電体メモリを提供する。

【0016】前記目的を達成するための他の形態による本発明は、一側方向に伸張される多数本のビットライン、及び前記各ビットラインに垂直な同一方向に伸張される多数本のワードラインを有し、M×Nの配列で前記各ラインに接続され、それぞれ一つのトランジスタとキャパシターとからなつた多数の単位セルからなる強誘電体メモリにおいて、前記各ビットラインに隔行で又は隔列で交互に配置される方式でそれぞれ直列に連結される多数の単位セルからなる多数の単位セルグループと、前記2ビットラインずつをビットライン対に形成し、形成されたビットライン対の何れか1つのビットライン内の任意の位置にそれぞれ連結され、それぞれ一つのトランジスタとキャパシタからなつた多数のダミーセルを含むダミーセルグループと、外部からの制御信号に応じて、前記各ダミーセルと対応する各ビットライン内の単位セル間の連結をスイッチングする多数のスイッチングトランジスタからなつた第1スイッチングトランジスタグループと、外部からの制御信号に応じて、ダミーセルが連結されたビットラインと対をなす他のビットラインを接続させる前記ダミーセルの数に相応する数のスイッチングトランジスタからなつた第2スイッチングトランジスタグループと、データの読み出し時、外部から提供される制御信号に応じて、前記各ダミーセルに貯蔵された情報をそれぞれ除去する多数のスイッチングトランジスタからなつた第3スイッチングトランジスタグループと、を含み、前記多数の各ダミーセルのキャパシター誘電体膜は自発分極特性を有さず、前記誘電体メモリは、前記多数本のビットラインから選択された何れか1つのビットライン内の任意の単位セルからデータが読み出されるとき、前記選択されたビットライン対に連結されたダミーセルから提供される一定電圧を、データ判定のための基準電圧として提供することを特徴とする強誘電体メモリを提供する。

【0017】前記目的を達成するための更に他の形態による本発明は、一側方向に伸張される多数本のビットライン、及び前記各ビットラインに垂直な同一方向に伸張される多数本のワードラインを有し、M×Nの配列で前記各ラインに接続され、それぞれ一つのトランジスタとキャパシターとからなつた多数の単位セルからなる強誘電体メモリにおいて、前記各ビットラインに隔行で又は隔列で交互に配置される方式でそれぞれ直列に連結される多数の単位セルからなる多数の単位セルグループと、

前記多数のビットラインをN個のビットライングループにそれぞれ分割し、分割された各ビットライングループ内の何れか1つのビットラインの任意の位置に連結され、それぞれ一つのトランジスタとキャパシターからなった多数のダミーセルを含むダミーセルグループと、外部からの制御信号に応じて、一つのダミーセルと対応するビットライングループ内の単位セル間の連結をスイッチングする多数のスイッチングトランジスタからなった第1スイッチングトランジスタグループと、前記ビットライングループのなかで、前記ダミーセルが連結されたビットラインとその他のビットライン間をそれぞれ連結する多数のスイッチングトランジスタからなった第2スイッチングトランジスタグループと、データの読み出し時、外部から提供される制御信号に応じて、前記ダミーセルに貯蔵された情報をそれぞれ除去する一つのスイッチングトランジスタからなった第3スイッチングトランジスタグループと、を含み、前記多数の各ダミーセルのキャパシター誘電体膜は自発分極特性を有さず、前記誘電体メモリは、前記多数本のビットラインから選択された何れか1つのビットライン内の任意の単位セルからデータが読み出されるとき、前記選択されたビットライン対に隣接する逆ビットラインから提供される一定電圧を、データ判定のための基準電圧として提供することを特徴とする強誘電体メモリを提供する。

【0018】前記目的を達成するための更に他の形態による本発明は、一側方向に伸張される多数本のビットライン、及び前記各ビットラインに垂直な同一方向に伸張される多数本のワードラインを有し、M×Nの配列で前記各ラインに接続され、それぞれ一つのトランジスタとキャパシターとからなった多数の単位セルからなる強誘電体メモリにおいて、前記各ビットラインに隔行で又は隔列で交互に配置される方式でそれぞれ直列に連結される多数の単位セルからなる多数の単位セルグループと、前記各ビットラインの任意の位置で隔行の第1及び第2ダミーセル群に分割され、分割された各ダミーセル群が第1及び第2ダミーワードラインにそれぞれ連結され、前記各ダミーセルがそれぞれ一つのトランジスタとキャパシターからなったダミーセルグループと、データの読み出し時、外部から提供される制御信号に応じて、前記各ダミーセルに貯蔵された情報をそれぞれ除去する多数のスイッチングトランジスタからなったスイッチングトランジスタグループと、を含み、前記多数の各ダミーセルのキャパシター誘電体膜は自発分極特性を有さず、前記誘電体メモリは、前記多数本のビットラインから選択された何れか1つのビットライン内の任意の単位セルからデータが読み出されるとき、前記選択されたビットラインに隣接する逆ビットラインに連結されたダミーセルから提供される一定電圧を、データ判定のための基準電圧として提供することを特徴とする強誘電体メモリを提供する。

【0019】前記目的を達成するための更に他の形態による本発明は、一側方向に伸張される多数本のビットライン、及び前記各ビットラインに垂直な同一方向に伸張される多数本のワードラインを有し、M×Nの配列で前記各ラインに接続され、それぞれ一つのトランジスタとキャパシターとからなった多数の単位セルからなる強誘電体メモリにおいて、前記各ビットラインに直列に連結され、各ゲートが共通の列間隔で提供される各ワードラインに連結される多数の単位セルからなった多数の単位セルグループと、ダミービットライン及びダミービットラインを通じて連結され、データの読み出し時に選択されたビットラインに、データ判定用基準電圧を提供するための一つのトランジスタとキャパシターとからなったダミーセルと、データの読み出し時、外部から提供される制御信号に応じて、前記ダミーセルに貯蔵された情報を除去するスイッチングトランジスタと、を含み、前記ダミーセルのキャパシター誘電体膜は自発分極特性を有さず、前記誘電体メモリは、前記多数本のビットラインから選択された何れか1つのビットライン内の任意の単位セルからデータが読み出されるとき、前記ダミービットラインに連結されたダミーセルからの一定電圧を、前記基準電圧として提供することを特徴とする強誘電体メモリを提供する。

【0020】一方、前記それぞれの形態において、多数の単位セルのなかで、同一のワードラインに連結された単位セルは同一のプレート電極ラインに連結される形態にすることもでき、また、多数の単位セルの各プレート電極は、既設定された一定電圧が印加される一つのプレート電極を通じて共通で連結される形態にすることもできる。

【0021】

【発明の実施の形態】まず、本発明の核心技術的要旨は、M×N個の単位セルからなった強誘電体メモリにおいて、各単位セルを一つのトランジスタ及び一つのキャパシターから形成し、データ判定時に使用される基準電圧を発生するダミーセルを各ビットライン単位で形成し、各ダミーセルに対応するスイッチングトランジスタをそれぞれ形成するか又は別のダミービットラインにダミーセルを形成し、各ダミーセルに対応するスイッチングトランジスタのオン／オフ制御により単位セルからデータを読み出すときにだけ、対応するダミーセルを使用するようにする技術的手段を採用することにより、基準電圧を発生するダミーセルの使用頻度を最大限抑制して、強誘電体メモリの繰り返し使用回数が低下することを防止するとともにメモリの高集積化を実現するというもので、このような技術的手段により本発明が目的とするところを易しく達成することができる。

【0022】また、本発明の他の実施例による強誘電体メモリは、プレート電極ラインを列又は行単位に分離することなく、一つのプレート電極をメモリセルに共通に

使用する技術的手段を採用することにより、与えられた面積内でキャパシターの容量の増加を図るという他の目的を実現することができる。

【0023】さらに、本発明の更に他の実施例による強誘電体メモリは、ただ一つのダミーセルとスイッチングトランジスタのみをダミービットラインに連結する構造を採用することにより、強誘電体メモリの繰り返し使用回数の低下を防止することはもちろんのこと、メモリの高集積化を実現することができる。

【0024】一方、強誘電体メモリは、各単位セルに、強誘電体膜を有するキャパシターを使用する反面、ダミーセルには、自発分極特性を有する強誘電体膜に比べて疲労劣化耐性がずっと強くて自発分極特性を有しない一般の誘電体膜をキャパシターとして使用する。したがって、本発明の強誘電体メモリはダミーセルの信頼性を更に増進させることができる。

【0025】また、本発明による強誘電体メモリは、ダミーセルのキャパシター容量を、強誘電体が残留分極である場合のキャパシター容量程度に設定することが好ましい。より詳しくは、読み出しが選択された単位セルのデータが“1”である場合、選択された単位セルが連結されたビットライン電位変化量は $dV_1 = dQ_1 / (C_{b+C_s})$ となり、読み出しが選択された単位セルのデータが“0”である場合、ビットラインの電位変化量は $dV_0 = dQ_0 / (C_{b+C_s})$ となる。したがって、ビットラインに対応する逆ビットラインに連結されたダミーセルのキャパシターにより逆ビットラインの電位変化量はおよそ dV_1 と dV_0 の間である $Q_r / (C_{b+C_s})$ となる。

【0026】[第1実施例] 図2は本発明の一実施例による強誘電体メモリの一部を示す等価回路図である。同図に示すように、本実施例による強誘電体メモリは $M \times N$ 個の単位セルが、例えば、チェス盤の黒文様又は白文様のように隔行、隔列の構造に形成され、各ビットラインには多数の単位セルが直列に連結され、互いに隣接するビットライン対は、1対のビットライン対で読み出しが行われるとき、他のビットラインが基準電圧を提供する逆ビットラインとして相互交番に機能する。

【0027】また、本実施例による強誘電体メモリは、行方向に伸張されて多数の単位セルに連結される多数本のワードライン ($WL_0 \sim WL_3$) がビットライン (又は逆ビットライン) ($BL_0, /BL_0, BL_1, /BL_1$) に交差する形態でマトリックス行列をなすことにより、 $M \times N$ 個の単位セルを構成する。ここで、各単位セルのプレート電極 (PL) は共通で連結されて、常に一定電圧が印加される。

【0028】この際に、本実施例においては、各単位セルがプレート電極を一つのプレート電極 (PL) を介して共通で連結して一定電圧を印加するものと示したが、本実施例が必ずしもこれに限定されるものではなく、各

単位セルに貯蔵されるデータによって、プレート電極に上位電圧 (Vcc) 又は下位電圧 (0V) を印加し得るように、プレート電極ラインを列又は行単位に分離する構造を採用することもできる。

【0029】より詳細には、本実施例による強誘電体メモリは、各単位セル (UC) が一つのトランジスタ (電荷伝送トランジスタ) と一つのキャパシターからなった $1T/1C$ 構造を有し、多数の単位セルが連結される各ビットライン (又は逆ビットライン) の一側 (図2の右側) には、一つのトランジスタ (電荷伝送トランジスタ) とキャパシターからなったダミーセル (DC_0, DC_0', DC_1 又は DC_1') がそれぞれ連結される。

【0030】また、単位セル内の各トランジスタのゲートは対応する各ワードライン (WL_0, WL_1, WL_2, WL_3) にそれぞれ連結され、各ドレン (又はソース) は対応するビットライン (又は逆ビットライン) ($BL_0, /BL_0', BL_1, /BL_1'$) にそれぞれ連結され、各ソース (又はドレン) は各キャパシターの一端に連結され、各キャパシターの他端は対応するプレート電極ライン (PL) に共通で連結される。

【0031】ここで、ダミーセル内の各トランジスタのゲートはダミーワードライン (DWL) に共通で連結され、各ドレン (又はソース) はそれぞれのビットライン (又は逆ビットライン) (BL_0, BL_0', BL_1, BL_1') にそれぞれ連結され、各ソース (又はドレン) は各キャパシターの一端に連結され、各キャパシターの他端は共通で連結される。

【0032】ここで、ダミーセル内の各トランジスタのゲートはダミーワードライン (DWL) に共通で連結され、各ドレン (又はソース) はそれぞれのビットライン (又は逆ビットライン) (BL_0, BL_0', BL_1, BL_1') にそれぞれ連結され、各ソース (又はドレン) は各キャパシターの一端に連結され、各キャパシターの他端は供給で連結される。

【0033】また、一連の単位セル (C_{00}, C_{20}) とこれらに対応するダミーセル (DC_0) 間のビットライン (又は逆ビットライン) (BL_0)、一連の単位セル (C_{10}', C_{30}') とこれらに対応するダミーセル (DC_0') 間のビットライン (又は逆ビットライン) ($/BL_0$)、一連の単位セル (C_{01}, C_{21}) とこれらに対応するダミーセル (DC_1) 間のビットライン (又は逆ビットライン) (BL_1)、一連の単位セル (C_{11}', C_{31}') とこれらに対応するダミーセル (DC_1') 間のビットライン (又は逆ビットライン) ($/BL_1$) 上にはスイッチングトランジスタ (ST2, ST0, ST3, ST1) がそれぞれ備えられる。

【0034】ここで、二つのスイッチングトランジスタ (ST0, ST1) のゲートは制御ライン (CL0) に共通で連結され、二つのスイッチングトランジスタ (S

T₂、ST₃) のゲートは制御ライン (CL₁) に共通で連結され、このような各スイッチングトランジスタ (ST₀～ST₃) の各ゲートには、単位セルに対するデータの貯蔵又は読み出し時、外部からのスイッチング制御信号がそれぞれ入力される。

【0035】一方、各ダミーセル (DC₀、DC_{0'}、DC₁、DC_{1'}) 内のトランジスタの各一側は対応する各スイッチングトランジスタ (ST₄～ST₇) の出力が連結され、これら各スイッチングトランジスタ (ST₄～ST₇) は、データの読み出し時、共通で連結された制御ライン (CLD) を通じて提供されるスイッチング制御信号に応じてオン／オフ制御されることにより、対応する各ダミーセルに貯蔵されたデータをクリアさせる。

【0036】したがって、前述したような構造を有する本実施例の強誘電体メモリは、各単位セルが一つのトランジスタ及び一つのキャパシターから構成され、データ判定時に使用される基準電圧を発生するダミーセルを隣接ビットライン (又は逆ビットライン) に連結して形成し、データ判定時、隣接した逆ビットラインで発生した基準電圧とデータが読み出されるビットラインでの電圧を比較器 (C₀又はC₁) に提供して、その電圧を比較することにより、読み出しデータを判定するようになる回路構成を有し、各ビットライン (又は逆ビットライン) に連結されたダミーセル (DC₀、DC_{0'}、DC₁、DC_{1'}) は単位セルからデータを読み出す場合にだけ使用される。

【0037】つぎに、前述したような構成を有する本実施例による強誘電体メモリにデータを貯蔵し、かつ貯蔵されたデータを読み出す過程について説明する。本実施例においては、説明の便宜と理解の増進のため、ビットラインに上位電圧を印加するとはプレート電極に比べて印加電圧が高い場合を意味し、下位電圧を印加するとはプレート電極に比べて印加電圧が低い場合を意味し、データの出力時、単位セルのデータが“1”又は“0”であるとき、当該ビットラインの電位変化量をそれぞれV₁又はV₀であると仮定する。また、強誘電体メモリをなす全ての単位セルでのデータ貯蔵及び読み出し過程が実質的に同一であるので、ここでは、単位セル (C₀及びC_{10'}) でのデータ貯蔵及び読み出し過程について一例として説明する。

【0038】まず、単位セル (C₀) にデータ“1”を貯蔵する過程について調べると、2本の制御ライン (CL₀、CL₁) とダミーワードライン (DWL) を“オン”状態にし、ワードライン (WL₀) を“オン”状態にした後、ビットライン (BL₀) に上位電圧を印加すると、単位セル (C₀) に備えられた強誘電体膜がその電位差により陽 (+) の方向に分極することにより、単位セル (C_{10'}) にデータ“1”が貯蔵される。

【0039】また、単位セル (C_{10'}) にデータ

“1”を貯蔵する場合、2本の制御ライン (CL₀、CL₁) とダミーワードライン (DWL) を“オフ”状態にし、ワードライン (WL₁) を“オン”状態にした後、ビットライン (BL₀) に上位電圧を印加すると、単位セル (C_{10'}) に備えられた強誘電体膜がその電位差により陽 (+) の方向に分極することにより、単位セル (C_{10'}) にデータ“1”が貯蔵される。

【0040】つぎに、単位セル (C₀) にデータ“0”を貯蔵する場合、2本の制御ライン (CL₀、CL₁) とダミーワードライン (DWL) を“オフ”状態にし、ワードライン (WL₀) を“オン”状態にした後、ビットライン (BL₀) に下位電圧を印加すると、単位セル (C₀) に備えられた強誘電体膜がその電位差により陰 (-) の方向に分極することにより、単位セル (C₀) にデータ“0”が貯蔵される。

【0041】また、単位セル (C_{10'}) にデータ“0”を貯蔵する場合、2本の制御ライン (CL₀、CL₁) とダミーワードライン (DWL) を“オフ”状態にし、ワードライン (WL₁) を“オン”状態にした後、ビットライン (BL₀) に下位電圧を印加すると、単位セル (C_{10'}) に備えられた強誘電体膜がその電位差により陰 (-) の方向に分極することにより、単位セル (C_{10'}) にデータ“0”が貯蔵される。

【0042】すなわち、本実施例によると、前述したようなメモリ制御過程により、単位セル (C₀及びC_{10'}) には、ビットラインに印加される電圧 (上位電圧又は下位電圧) によって、データ“1”又は“0”がそれぞれ貯蔵される。

【0043】また、前記実施例においては、データの貯蔵時、制御ライン (CL₀、CL₁) 及びダミーワードライン (DWL) をオフ状態にするものとして説明したが、必ずしもこれに局限されるものではなく、制御ラインとダミーワードラインが相違した状態 (つまりオン状態) で動作しても、その動作原理上同一の結果を得ることができる。

【0044】前記から分かるように、本実施例による強誘電体メモリにおいては、任意の単位セルにデータを貯蔵するときはダミーセルを使用しない。したがって、ダミーセルの使用頻度を大幅減らし得るので、結果的に全体強誘電体メモリの繰り返し使用回数を相対的に増大させることができる。

【0045】つぎに、前述したような過程により、単位セル (C₀及びC_{10'}) に“1”又は“0”的データが貯蔵された状態で、これを読み出す過程について説明する。

【0046】まず、単位セル (C₀) に貯蔵されたデータを読み出す場合、制御ライン (CLD) を“オン”状態にして、ダミーセルに貯蔵されているデータを除去した後、再度制御ライン (CLD) を“オフ”状態にする。次いで、制御ライン (CL₁) を“オフ”状態に

し、制御ライン(CLO)を“オン”状態にした後、2本のビットライン(BL0、/BL0)に上位電圧を印加し、ワードライン(WL0)とダミーワードライン(DWL)を“オン”状態にすると、ビットライン(BL0)の電位変化量は、単位セル(C00)に貯蔵されたデータによりV1又はV0となる。すなわち、単位セル(C00)にデータ“1”が貯蔵された場合、ビットライン(BL0)の電位変化量はV1となり、単位セル(C00)にデータ“0”が貯蔵された場合、ビットライン(BL0)の電位変化量はV0となる。

【0047】この際に、逆ビットライン(/BL0)の電位変化量は、ダミーセル(DC0')のキャパシターにより、dV1とdV0のほぼ中間値(基準電圧)となる。したがって、ビットライン(BL0)上の電圧と逆ビットライン(/BL0)上の基準電圧が比較器(C0)に伝達されることにより、単位セル(C00)から読み出したデータを判定、つまりビットライン(BL0)での出力電圧が逆ビットライン(/BL0)から提供される基準電圧(平均電圧)より高いとデータ“1”を判定し、ビットライン(BL0)での出力電圧が逆ビットライン(/BL0)から提供される基準電圧(平均電圧)より低いとデータ“0”を判定することになる。

【0048】つぎに、単位セル(C10')に貯蔵されたデータを読み出す場合、制御ライン(CL0)を“オン”状態にして、ダミーセルに貯蔵されているデータを除去した後、再度制御ライン(CL0)を“オフ”状態にする。次いで、制御ライン(CL0)を“オフ”状態にし、制御ライン(CL1)を“オン”状態にした後、2本のビットライン(BL0、/BL0)に上位電圧を印加し、ワードライン(WL1)とダミーワードライン(DWL)を“オン”状態にすると、ビットライン(/BL0)の電位変化量は、単位セル(C10')に貯蔵されたデータによりV1又はV0となる。すなわち、単位セル(C00)にデータ“1”が貯蔵された場合、ビットライン(/BL0)の電位変化量はV1となり、単位セル(C10')にデータ“0”が貯蔵された場合、ビットライン(/BL0)の電位変化量はV0となる。

【0049】この際に、逆ビットライン(BL0)の電位変化量はダミーセル(DC0)のキャパシターによりdV1とdV0間のおよそ中間値(基準電圧)となる。したがって、ビットライン(/BL0)上の電圧と逆ビットライン(BL0)上の基準電圧が比較器(C0)に伝達されることにより、単位セル(C10')から読み出したデータを判定、つまりビットライン(/BL0)での出力電圧が、逆ビットライン(BL0)から提供される基準電圧(平均電圧)より高いとデータ“1”を判定し、ビットライン(/BL0)での出力電圧が、逆ビットライン(BL0)から提供される基準電圧(平均電圧)より低いとデータ“0”を判定することになる。

【0050】すなわち、本実施例による強誘電体メモリ

は、任意の単位セルにデータを貯蔵するときにはダミーセルを使用しない反面、任意の単位セルに貯蔵されたデータを読み出すときにだけダミーセルを使用する。

【0051】以上説明したように、本実施例によると、M×N個の単位セルからなった強誘電体メモリにおいて、各単位セルを一つのトランジスタ及び一つのキャパシター(1T/1C)から構成し、データ判定時に使用される基準電圧を発生するダミーセルを隣接ビットライン(又は逆ビットライン)に連結して形成し、ダミーワードラインを通じて提供されるスイッチング制御信号に応じて、各ビットライン(又は逆ビットライン)に連結された各ダミーセルのデータを除去するスイッチングトランジスタを備え、任意の単位セルへのデータ貯蔵時には対応するダミーセルを使用せず、任意の単位セルからデータを読み出すときにだけ、対応するダミーセル(つまり、逆ビットラインに連結されたダミーセル)を使用するようになるとにより、過多のダミーセルの使用により全体強誘電体メモリの使用繰り返し回数が低下することを効果的に防止するとともにメモリの高集積化を実現することができる。

【0052】また、本実施例の他の例によると、単位セルのプレート電極を共通で連結する構造を採用するため、与えられた面積で各単位セル内のキャパシターの容量を増大させ得る付随的な効果を有する。

【0053】しかも、本実施例による強誘電体メモリは別途のキャパシター工程を行ってダミーセルのキャパシターを形成することもできるが、ゲート絶縁膜をキャパシターの誘電体膜として使用するゲートキャパシターを採用することがより好ましい。このことは、ダミーセルのキャパシターを形成するための別途の工程を必要としないためである。

【0054】(第1变形実施例1-1)図3は本発明の一実施例である第1变形実施例1-1による強誘電体メモリの一部を示す等価回路図である。同図に示すように、第1变形実施例1-1による強誘電体メモリは、ダミーセル(DC0、DC0'、DC1、DC1')及びスイッチングトランジスタ(ST0～ST7)が行間単位セル内の任意の位置に配置されるという点を除き、実質的に前述した第1実施例と同じであるが、ただし、違いがあるとするならば、このような位置配列のため、多数のスイッチングトランジスタ(ST0～ST7)とダミーセル(DC0、DC0'、DC1、DC1')を介在して離隔される各ビットライン(又は逆ビットライン)(BL0、/BL0、BL1、/BL1)間を対応する各相互連結配線(ICL0、/ICL0、ICL1、/ICL1)で相互連結するという点である。

【0055】したがって、第1变形実施例1-1のメモリ構造において、任意の単位セルに対してデータを貯蔵／読み出しする過程は前述した第1実施例と実質的に同一であるので、不要な重複記載を避けるために、ここで

の詳細な説明は省略する。ここで、このような変更構造の第1変形実施例1-1を示すことは、本発明により、各ビットライン（又は逆ビットライン）に連結されるダミーセルが行間単位セルのどの位置にも配列できることを例示するためである。

【0056】したがって、第1変形実施例1-1による強誘電体メモリは、各ビットライン（又は逆ビットライン）に連結されるダミーセルを行間単位セル内の任意の位置に配置するという構造が前述した一実施例と多少異なるが、前述した一実施例で得られる効果と実質的に同一の効果を得ることができる。

【0057】（第2変形実施例1-2）図4は本発明の一実施例の第2変形実施例1-2による強誘電体メモリの一部を示す等価回路図である。同図に示すように、第2変形実施例1-2は、各ビットライン（又は逆ビットライン）（BL0、/BL0、BL1、/BL1）にそれぞれ直列に連結される単位セルを、二つずつ連続して対をなすように形成した点が前述した第1実施例と異なるが、他の構成及び配列は実質的に同一である。

【0058】前述したような変形構造を有する第2変形実施例1-2による強誘電体メモリは、データ“1”又は“0”を任意の単位セルに入力する過程又は任意の単位セルに貯蔵されたデータを読み出す過程が前述した第1実施例と同一である。したがって、第2変形実施例1-2による強誘電体メモリは、各ビットライン（又は逆ビットライン）にそれぞれ直列に連結される単位セルを、二つずつ連続して対をなすように形成する構造が前述した第1実施例と多少異なるが、前述した第1実施例から得られる効果と実質的に同一の効果を得ることができる。

【0059】〔実施例2〕図5は本発明の第2実施例による強誘電体メモリの一部を示す等価回路図である。同図に示すように、本実施例による強誘電体メモリは、ビットライン、ワードライン、ダミーワードライン、制御ラインからなるラインと各ラインに相互接続される関係で配列される単位セルの配置構造を有している点で、前述した一実施例の強誘電体メモリと実質的に同一である反面、ダミーセルとスイッチングトランジスタの構造及び配置構造側面で見ると、前述した第1実施例のものとは異なる。

【0060】すなわち、前述した一実施例による強誘電体メモリにおいては、各ビットライン（又は逆ビットライン）ごとに一つのダミーセル及び二つのスイッチングトランジスタを備える構造を採用しているが、本実施例による強誘電体メモリにおいては、1対のビットライン対（ビットライン及び相対的逆ビットライン）ごとに一つのダミーセルと四つのスイッチングトランジスタを採用する構造を有する。

【0061】より詳細には、各ビットライン（BL0、/BL0、BL1、/BL1）には、ゲートが制御ライ

ン（CL0又はCL1）に共通で連結されるスイッチングトランジスタ（ST0～ST3）が備えられ、各ゲートが制御ライン（CL2）に共通で連結された各スイッチングトランジスタ（ST4、ST5）が相補してビットラインと逆ビットラインとして機能する各ビットライン対を連結し、ゲートがダミーワードライン（DWL）に共通で連結された各ダミーセル（DC0、DC1）はビットライン対の何れか1つのビットライン（BL0又は/BL1）に連結され、ゲートが制御ライン（CLD）に共通で連結された各スイッチングトランジスタ（ST6、ST7）は対応する各ダミーセル（DC0、DC1）の一側と接地間に連結される。

【0062】したがって、本実施例においては、不要な重複記載を避けるため、強誘電体メモリの全般的な配置構造についてはその説明を省略し、下記では、1本のビットライン対にひとつのダミーセルが連結された変更構造を有する本実施例による強誘電体メモリにデータを貯蔵し、かつ貯蔵されたデータを読み出す過程について説明する。

【0063】本実施例においては、説明の便宜と理解の増進のため、ビットラインに上位電圧を印加するとはプレート電極に比べて印加電圧が高い場合を意味し、下位電圧を印加するとはプレート電極に比べて印加電圧が低い場合を意味し、データの出力時、単位セルのデータが“1”又は“0”であるとき、当該ビットラインの電位変化量をそれぞれV1又はV0であると仮定する。

【0064】また、強誘電体メモリをなす全ての単位セルでのデータ貯蔵及び読み出し過程が実質的に同一であるので、ここでは、単位セル（C00及びC10'）でのデータ貯蔵及び読み出し過程について一例として説明する。

【0065】さらに、単位セル（C00及びC10'）にデータをそれぞれ貯蔵する過程は前述した第1実施例での過程と実質的に同一である。したがって、不要な重複記載を避けるため、単位セル（C00及びC10'）に貯蔵されたデータを読み出す過程のみについて一例として説明する。

【0066】まず、単位セル（C00）に貯蔵されたデータを読み出す場合、制御ライン（CLD）を“オン”状態にして、ダミーセルに貯蔵されているデータを除去した後、再度制御ライン（CLD）を“オフ”状態にする。次いで、制御ライン（CL1）を“オフ”状態にし、2本の制御ライン（CL0、CL2）を“オン”状態にした後、2本のビットライン（BL0、/BL0）に上位電圧を印加し、ワードライン（WL0）とダミーワードライン（DWL）を“オン”状態にすると、ビットライン（BL0）の電位変化量は単位セル（C00）に貯蔵されたデータによりV1又はV0となる。すなわち、単位セル（C00）にデータ“1”が貯蔵された場合、ビットライン（BL0）の電位変化量はV1とな

り、単位セル(C00)にデータ“0”が貯蔵された場合、ビットライン(BL0)の電位変化量はV0となる。

【0067】この際に、逆ビットライン(／BL0)の電位変化量はダミーセル(DC0)のキャパシターによりdV1とdV0のおよそ中間値(基準電圧)となる。したがって、ビットライン(BL0)上の電圧と逆ビットライン(／BL0)上の基準電圧が比較器(C0)に伝達されるので、単位セル(C00)から読み出したデータを判定、つまりビットライン(BL0)での出力電圧が逆ビットライン(／BL0)から提供される基準電圧(平均電圧)より高いとデータ“1”を判定し、ビットライン(BL0)での出力電圧が逆ビットライン(／BL0)から提供される基準電圧(平均電圧)より低いとデータ“0”を判定することになる。

【0068】つぎに、単位セル(C10')に貯蔵されたデータを読み出す場合、制御ラインを“オン”状態にして、ダミーセルに貯蔵されているデータを除去した後、再度制御ライン(CLD)を“オフ”状態にする。次いで、制御ライン(CLO)を“オフ”状態にし、制御ライン(CL1)を“オン”状態にした後、2本のビットライン(BL0,／BL0)に上位電圧を印加し、ワードライン(WL1)とダミーワードライン(DWL)とを“オン”状態にすると、ビットライン(／BL0)の電位変化量は、単位セル(C10')に貯蔵されたデータにより、V1又はV0となる。すなわち、単位セル(C10')にデータ“1”が貯蔵された場合、ビットライン(／BL0)の電位変化量はV1となり、単位セル(C10')にデータ“0”が貯蔵された場合、ビットライン(／BL0)の電位変化量はV0となる。

【0069】この際に、逆ビットライン(BL0)の電位変化量は、ダミーセル(DC0)のキャパシターにより、dV1とdV0のおよそ中間値(基準電圧)となる。したがって、ビットライン(／BL0)上の電圧と逆ビットライン(BL0)上の基準電圧が比較器(C0)に伝達されるので、単位セル(C10')から読み出したデータを判定、つまりビットライン(／BL0)での出力電圧が逆ビットライン(BL0)から提供される基準電圧(平均電圧)より高いと、データ“1”を判定し、ビットライン(／BL0)での出力電圧が逆ビットライン(BL0)から提供される基準電圧(平均電圧)より低いと、データ“0”を判定することになる。

【0070】すなわち、本実施例による強誘電体メモリは、前述した第1実施例と同様に、任意の単位セルにデータを貯蔵するときにはダミーセルを使用しない反面、任意の単位セルに貯蔵されたデータを読み出すときに限りダミーセルを使用する。

【0071】以上説明したように、本実施例によると、前述した第1実施例と同様に、任意の単位セルにデータを貯蔵するときにはダミーセルを使用せず、任意の単位

セルからデータを読み出すときに限り、対応するダミーセル(つまり、逆ビットラインに連結されたダミーセル)を使用するため、前述した第1実施例と同一の結果、つまり過度のダミーセルの使用に起因する全体強誘電体メモリの使用繰り返し回数の減少又は防止及びメモリの高集積化を実現することができる。

【0072】また、本実施例によると、前述した第1実施例と同様に、単位セルのプレート電極を共通で連結する構造を採用するため、与えられた面積で各単位セル内キャパシターの容量を増大させ得る付随的な効果を有する。

【0073】なお、本実施例による強誘電体メモリは、前述した第1実施例と同様に、別途のキャパシター工程を行ってダミーセルのキャパシターを形成することもでき、ゲート絶縁膜をキャパシターの誘電体膜として使用するゲートキャパシターを採用することもできる。

【0074】(第1変形実施例2-1) 図6は本発明の2実施例の第1変形実施例2-1による強誘電体メモリの一部を示す等価回路図である。同図に示すように、第1変形実施例2-1による強誘電体メモリは、ダミーセル(DC0, DC0', DC1, DC1')及びスイッチングトランジスタ(ST0～ST7)が行間単位セル内の任意の位置に配置されるという点を除き、実質的に前述した第2実施例と同じであるが、ただし、違いがあるとするならば、このような位置配列のため、多数のスイッチングトランジスタ(ST0～ST7)とダミーセル(DC0, DC0', DC1, DC1')を介在して離隔される各ビットライン(又は逆ビットライン)(BL0,／BL0, BL1,／BL1)間を対応する各相互連結配線(ICL0,／ICL0, ICL1,／ICL1)で相互連結するという点である。

【0075】したがって、第1変形実施例2-1のメモリ構造において、任意の単位セルに対してデータを貯蔵／読み出しする過程は前述した第2実施例と実質的に同一であるので、不要な重複記載を避けるために、ここでの詳細な説明は省略する。ここで、このような変更構造の第1変形実施例2-1を示すことは、本発明により、各ビットライン(又は逆ビットライン)に連結されるダミーセルが行間単位セルのどの位置にも配列できることを例示するためである。したがって、第1変形実施例2-1による強誘電体メモリは、各ビットライン(又は逆ビットライン)に連結されるダミーセルを行間単位セル内の任意の位置に配置する構造的な側面が前述した第2実施例と多少違うが、前述した第2実施例で得られる効果と実質的に同一効果を得ることができる。

【0076】(第2変形実施例2-2) 図7は本発明の第2実施例の第2変形実施例2-2による強誘電体メモリの一部を示す等価回路図である。同図に示すように、第2変形実施例による強誘電体メモリは、前述した第1変形実施例2-1による強誘電体メモリが2本のビット

ライン当たり一つのダミーセルを連結した構造を有する反面、4本のビットライン当たり一つのダミーセルを有するという点で構造上の違いを有しており、その他の単位セル配置構造などは前述した第1変形実施例2-1のものと実質的に同一である。したがって、下記では、構造的に同じ部分を除く残りの部分のみについて説明する。

【0077】すなわち、第2変形実施例2-2による強誘電体メモリは、4本のビットライン当たり一つのダミーセルを有する構造を有し、このため、本実施例の強誘電体メモリは、ゲートが2本の制御ライン(CL0、CL1)に共通でそれぞれ接続されて各ビットライン(BL0、/BL0、BL1、/BL1)に連結されたスイッチングトランジスタ(ST0～ST3)と、ゲートが制御ライン(CL2)に接続されて1本の基準ビットライン(例えば、BL0)と、これに隣接するビットライン(/BL0)間を連結するスイッチングトランジスタ(ST4)と、ゲートが制御ライン(CL3)に接続されて1本の基準ビットライン(例えば、BL0)とこれから1行だけ離隔されて隣接するビットライン(BL1)間を連結するスイッチングトランジスタ(ST5)と、ゲートが制御ライン(CL4)に接続されて1本の基準ビットライン(例えば、BL0)とこれから2行だけ離隔されて隣接するビットライン(/BL1)との間を連結するスイッチングトランジスタ(ST6)とをそれぞれ備える。

【0078】したがって、第2変形実施例2-2のメモリ構造において、任意の単位セルに対してデータを貯蔵／読み出しする過程は前述した第2実施例のものと実質的に同一であるので、不要な重複記載を避けるために、ここでの詳細な説明は省略する。

【0079】ここで、このような変更構造の第2変形実施例2-2を示すことは、本発明による強誘電体メモリが所望本数のビットライン当たり一つずつダミーセルを連結する構造で適用可能であることを例示するためのものである。したがって、第2変形実施例2-2による強誘電体メモリは、4本のビットライン(又は逆ビットライン)に一つずつのダミーセルを連結する構造的な側面が前述した第2実施例と多少違うが、前述した第2実施例で得られる効果と実質的に同一の効果を得ることができる。

【0080】(第3変形実施例2-3)図8は本発明の2実施例の第3変形実施例2-3による強誘電体メモリの一部を示す等価回路図である。同図に示すように、第3変形実施例2-3は、各ビットライン(又は逆ビットライン)(BL0、/BL0、BL1、/BL1)にそれぞれ直列に連結される単位セルを、二つずつ連続して対をなすように形成した点が前述した第2実施例と異なるに過ぎず、残りの構成及び配列は実質的に同一である。

【0081】前述したような変形構造を有する第3変形

実施例2-3による強誘電体メモリは、データ“1”又は“0”を任意の単位セルに入力する過程又は任意の単位セルに貯蔵されたデータを読み出す過程が前述した第2実施例と同一である。したがって、第3変形実施例2-3によるメモリのメモリ構造において、任意の単位セルに対してデータを貯蔵／読み出しする過程は前述した第2実施例のものと実質的に同一であるので、不要な重複記載を避けるため、ここでの詳細な説明は省略する。

【0082】したがって、第3変形実施例2-3による強誘電体メモリは、各ビットライン(又は逆ビットライン)にそれ直列に連結される単位セルを、二つずつ連続して対をなすように形成する構造的側面で前述した第2実施例と多少異なるが、前述した第2実施例から得られる効果と実質的に同一の効果を得ることができる。

【0083】[実施例3]図9は本発明の第3実施例による強誘電体メモリの一部を示す等価回路図である。同図に示すように、本実施例による強誘電体メモリは、ビットライン、ワードライン、制御ラインからなったラインと、各ラインに相互接続される関係で配列され、各ビットライン(BL0、/BL0、BL1、/BL1)に連結された各ダミーセルにそれぞれ一つのスイッチングトランジスタ(ST0～ST3)が接続される配置構造を有している点で、前述した第1実施例の強誘電体メモリと実質的に同一である。

【0084】しかし、第3実施例による強誘電体メモリは、各ビットライン(又は逆ビットライン)(BL0、/BL0、BL1、/BL1)にそれぞれ連結されたダミーセル(DC0、DC0'；DC1、DC1')の配列を単位セルの配列と同一にし、ダミーワードライン(DWL0、DWL1)を2本に分離して、1本のダミーワードライン(DWL1)が奇数行(又は偶数行)のビットライン(又は逆ビットライン)(BL0、BL1)に連結されたダミーセル(DC0、DC1)を担当し、他の1本のダミーワードライン(DWL0)が偶数行(又は奇数行)のビットライン(又は逆ビットライン)(/BL0、/BL1)に連結されたダミーセル(DC0'、DC1')を担当するように構成した点が前述した一実施例と異なる。

【0085】また、ダミーセルのデータを消去するための制御ライン(CLD)を全てのダミーセルに共通で使用するものと示したが、ダミーワードラインのように、2本に分離してダミーセルを制御するように構成することもできる。

【0086】すなわち、前述した第1実施例による強誘電体メモリにおいては、各ビットライン(又は逆ビットライン)ごとに一つのダミーセル及び二つのスイッチングトランジスタを備える構造を採用しているが、本実施例による強誘電体メモリにおいては、各ビットライン当たりただ一つのダミーセルと一つのスイッチングトランジスタとを採用する構造を有する。

【0087】したがって、本発明の第3実施例においては、不要な重複記載を避けるため、強誘電体メモリの全般的な配置構造についての説明を省略し、下記では、1本のビットラインにそれぞれ一つのダミーセル及びスイッチングトランジスタが連結された変更構造を有する強誘電体メモリにデータを貯蔵し、かつ貯蔵されたデータを読み出す過程について説明する。

【0088】本実施例においては、説明の便宜と理解の増進のため、ビットラインに上位電圧を印加するとはプレート電極に比べて印加電圧が高い場合を意味し、下位電圧を印加するとはプレート電極に比べて印加電圧が低い場合を意味し、データの出力時、単位セルのデータが“1”又は“0”であるとき、当該ビットラインの電位変化量をそれぞれV1又はV0であると仮定する。

【0089】また、強誘電体メモリをなす全ての単位セルでのデータ貯蔵及び読み出し過程が実質的に同一であるので、ここでは、単位セル(C00及びC10')でのデータ貯蔵及び読み出し過程について一例として説明する。

【0090】まず、単位セル(C00)にデータ“1”を貯蔵する過程について調べると、ワードライン(WL0)を“オン”状態にした後、ビットライン(BL0)に上位電圧を印加すると、単位セル(C00)に備えられた強誘電体膜が、その電位差により、陽(+)の方向に分極することにより、単位セル(C00)にデータ“1”が貯蔵される。

【0091】また、単位セル(C10')にデータ“1”を貯蔵する場合、ワードライン(WL1)を“オン”状態にした後、ビットライン(/BL0)に上位電圧を印加すると、単位セル(C10')に備えられた強誘電体膜が、その電位差により、陽(+)方向に分極することにより、単位セル(C10')にデータ“1”が貯蔵される。

【0092】つぎに、単位セル(C00)にデータ“0”を貯蔵する場合、ワードライン(WL0)を“オン”状態にした後、ビットライン(BL0)に下位電圧を印加すると、単位セル(C00)に備えられた強誘電体膜が、その電位差により、陰(-)方向に分極することにより、単位セル(C00)にデータ“0”が貯蔵される。

【0093】また、単位セル(C10')にデータ“0”を貯蔵する場合、ワードライン(WL1)を“オン”状態にした後、ビットライン(/BL0)に下位電圧を印加すると、単位セル(C10')に備えられた強誘電体膜が、その電位差により、陰(-)方向に分極することにより、単位セル(C10')にデータ“0”が貯蔵される。すなわち、本実施例によると、前述したようなメモリ制御過程により、単位セル(C00及びC10')には、ビットラインに印加される電圧(上位電圧又は下位電圧)によって、データ“1”又は“0”がそ

れぞれ貯蔵される。

【0094】前記から分かるように、本実施例による強誘電体メモリにおいては、任意の単位セルにデータを貯蔵するときはダミーセルを使用しない。したがって、ダミーセルの使用頻度を大幅に減らし得るので、結果的に全体強誘電体メモリの繰り返し使用回数を相対的に増大させる結果を得ることができる。

【0095】つぎに、前述したような過程により、単位セル(C00及びC10')に“1”又は“0”的データが貯蔵された状態で、これを読み出す過程について説明する。

【0096】まず、単位セル(C00)に貯蔵されたデータを読み出す場合、制御ライン(CLD)を“オン”状態にして、ダミーセルに貯蔵されているデータを除去した後、再度制御ライン(CLD)を“オフ”状態にする。次いで、2本のビットライン(BL0、/BL0)に上位電圧を印加すると、ビットライン(BL0)の電位変化量は、単位セル(C00)に貯蔵されたデータによりV1又はV0となる。すなわち、単位セル(C00)にデータ“1”が貯蔵された場合、ビットライン(BL0)の電位変化量はV1となり、単位セル(C00)にデータ“0”が貯蔵された場合、ビットライン(BL0)の電位変化量はV0となる。この際に、逆ビットライン(/BL0)の電位変化量は、ダミーセル(DC0')のキャパシターにより、dV1とdV0のほぼ中間値(基準電圧)となる。

【0097】したがって、ビットライン(BL0)上の電圧と逆ビットライン(/BL0)上の基準電圧が比較器(CO)に伝達されることにより、単位セル(C00)から読み出したデータを判定する。つまりビットライン(BL0)での出力電圧が逆ビットライン(/BL0)から提供される基準電圧(平均電圧)より高いとデータ“1”を判定し、ビットライン(BL0)での出力電圧が逆ビットライン(/BL0)から提供される基準電圧(平均電圧)より低いとデータ“0”を判定することになる。

【0098】つぎに、単位セル(C10')に貯蔵されたデータを読み出す場合、制御ライン(CLD)を“オン”状態にして、ダミーセルに貯蔵されているデータを除去した後、再度制御ライン(CLD)を“オフ”状態にする。次いで、2本のビットライン(BL0、/BL0)に上位電圧を印加し、ワードライン(WL1)とダミーワードライン(DWL)とを“オン”状態にすると、ビットライン(/BL0)の電位変化量は、単位セル(C10')に貯蔵されたデータによりV1又はV0となる。すなわち、単位セル(C10')にデータ“1”が貯蔵された場合、ビットライン(/BL0)の電位変化量はV1となり、単位セル(C10')にデータ“0”が貯蔵された場合、ビットライン(/BL0)の電位変化量はV0となる。この際に、逆ビットライン

(BL0) の電位変化量はダミーセル(DC0)のキャパシターによりdV1とdV0間のおよそ中間値(基準電圧)となる。

【0099】したがって、ビットライン(／BL0)上の電圧と逆ビットライン(BL0)上の基準電圧が比較器(C0)に伝達されることにより、単位セル(C10')から読み出したデータを判定する。つまりビットライン(／BL0)での出力電圧が、逆ビットライン(BL0)から提供される基準電圧(平均電圧)より高いとデータ“1”を判定し、ビットライン(／BL0)での出力電圧が、逆ビットライン(BL0)から提供される基準電圧(平均電圧)より低いとデータ“0”を判定することになる。

【0100】すなわち、本実施例による強誘電体メモリは、任意の単位セルにデータを貯蔵するときにはダミーセルを使用しない反面、任意の単位セルに貯蔵されたデータを読み出すときに限り、ダミーセルを使用する。

【0101】以上説明したように、本実施例によると、前述した第1実施例と同様に、任意の単位セルにデータを貯蔵するときにはダミーセルを使用せず、任意の単位セルからデータを読み出すときに限り、対応するダミーセル(つまり、逆ビットラインに連結されたダミーセル)を使用するため、前述した第1実施例と同一の結果、つまり過度のダミーセルの使用に起因する全体強誘電体メモリの使用繰り返し回数の減少又は防止及びメモリの高集積化を実現することができる。また、本実施例によると、前述した第1実施例と同様に、単位セルのプレート電極を共通で連結する構造を採用するため、与えられた面積で各単位セル内キャパシターの容量を増大させ得るという付随的な効果を有する。

【0102】なお、本実施例による強誘電体メモリは、前述した第1実施例と同様に、別途のキャパシター工程を行ってダミーセルのキャパシターを形成することもでき、ゲート絶縁膜をキャパシターの誘電体膜として使用するゲートキャパシターを採用することもできる。

【0103】(第1変形実施例3-1) 図10は本発明の3実施例の第1変形実施例3-1による強誘電体メモリの一部を示す等価回路図である。同図に示すように、第1変形実施例3-1による強誘電体メモリは、ダミーセル(DC0、DC0'、DC1、DC1')及びスイッティングトランジスタ(ST0～ST3)が行間単位セル内の任意の位置に配置されるという点を除き、実質的に前述した第3実施例と同じである。

【0104】したがって、第1変形実施例3-1のメモリ構造において、任意の単位セルに対してデータを貯蔵／読み出しする過程は前述した第3実施例と実質的に同一であるので、不要な重複記載を避けるために、ここでの詳細な説明は省略する。ここで、このような変更構造の第1変形実施例3-1を示すことは、本発明により、各ビットライン(又は逆ビットライン)に連結されるダ

ミーセルが行間単位セルのどの位置にも配列できることを例示するためである。

【0105】したがって、第1変形実施例3-1による強誘電体メモリは、各ビットライン(又は逆ビットライン)に連結されるダミーセルを行間単位セル内の任意の位置に配置する構造的な側面が前述した第3実施例と多少違うが、前述した第3実施例で得られる効果と実質的に同一効果を得ることができる。

【0106】(第2変形実施例3-2) 図11は本発明の第3実施例の第2変形実施例3-2による強誘電体メモリの一部を示す等価回路図である。同図に示すように、第2変形実施例3-2は、各ビットライン(又は逆ビットライン)(BL0、／BL0、BL1、／BL1)にそれぞれ連結される単位セルを、二つずつ連続して対をなすように形成した点が前述した第3実施例と異なるに過ぎず、残りの構成及び配列は実質的に同一である。

【0107】前述したような変形構造を有する第2変形実施例3-2による強誘電体メモリは、データ“1”又は“0”を任意の単位セルに入力する過程又は任意の単位セルに貯蔵されたデータを読み出す過程が前述した第3実施例と実質的に同一である。よって、第2変形実施例によるメモリのメモリ構造において、任意の単位セルに対してデータを貯蔵／読み出しする過程は前述した第3実施例のものと実質的に同一であるので、不要な重複記載を避けるため、ここでの詳細な説明は省略する。

【0108】したがって、第2変形実施例3-2による強誘電体メモリは、各ビットライン(又は逆ビットライン)にそれぞれ直列に連結される単位セルを、二つずつ連続して対をなすように形成する構造的側面で前述した第3実施例と多少異なるが、前述した第3実施例から得られる効果と実質的に同一の効果を得ることができる。

【0109】[実施例4] 図12は本発明の第4実施例による強誘電体メモリの一部を示す等価回路図である。同図に示すように、第4実施例によるメモリは、単位セルに貯蔵されたデータを読み出すとき、判定の基準となる電圧を発生するダミーセルを隣接ビットラインに連結する前述した第1実施例、第2実施例及び第3実施例とは異なり、基準電圧を発生するダミーセル(DC)を別途のダミービットライン(DBL)に連結し、ダミービットラインを多数の比較器(C0、C1)の一側に並列に連結した点が異なる。

【0110】すなわち、第4実施例による強誘電体メモリは、別のダミービットライン(DBL)にダミーセル(DC)を連結するという点において、図13に示す従来の強誘電体メモリに多少似ているが、ダミービットラインに基準電圧を提供するダミーセル(DC)とスイッティングトランジスタ(ST)とを備えるという点と、任意の単位セルにデータを貯蔵するときはダミーセルを使用せず、任意の単位セルに貯蔵されたデータを読み出す

ときに限り、ダミーセルを使用するという点で、図13に示す従来の強誘電体メモリとは明らかに異なる。

【0111】したがって、第4実施例による強誘電体メモリは、単位セル(C00及びC01)にデータをそれぞれ貯蔵する過程は前述した実施例の過程と実質的に同一である。したがって、下記では、不要な重複記載を避けるため、単位セル(C00及びC01)に貯蔵されたデータを読み出す過程のみについて一例として説明する。

【0112】まず、単位セル(C00)に貯蔵されたデータを読み出す場合、制御ライン(CLD)を“オン”状態にして、ダミーセルに貯蔵されているデータを除去した後、再度制御ライン(CLD)を“オフ”状態にする。次いで、ビットライン(BL0)とダミービットライン(DBL)に上位電圧を印加し、ワードライン(WL0)とダミーワードライン(DWL)を“オン”状態にすると、ビットライン(BL0)の電位変化量は、単位セル(C00)に貯蔵されたデータによりV1又はV0となる。すなわち、単位セル(C00)にデータ“1”が貯蔵された場合、ビットライン(BL0)の電位変化量はV1となり、単位セル(C00)にデータ“0”が貯蔵された場合、ビットライン(BL0)の電位変化量はV0となる。

【0113】この際に、ダミービットライン(DBL)の電位変化量は、ダミーセル(DC)のキャパシターにより、dV1とdV0のほぼ中間値(基準電圧)となる。したがって、ビットライン(BL0)上の電圧とダミービットライン(DBL)上の基準電圧が比較器(CO)に伝達されることにより、単位セル(C00)から読み出したデータを判定する。つまりビットライン(BL0)での出力電圧がダミービットライン(DBL)から提供される基準電圧(平均電圧)より高いとデータ“1”を判定し、ビットライン(BL0)での出力電圧がダミービットライン(DBL)から提供される基準電圧(平均電圧)より低いとデータ“0”を判定することになる。

【0114】つぎに、単位セル(C01)に貯蔵されたデータを読み出す場合、制御ライン(CLD)を“オン”状態にして、ダミーセルに貯蔵されているデータを除去した後、再度制御ライン(CLD)を“オフ”状態にする。次いで、ビットライン(BL1)とダミービットライン(DBL)に上位電圧を印加し、ワードライン(WL0)とダミーワードライン(DWL)を“オン”状態にすると、ビットライン(BL1)の電位変化量は、単位セル(C10')に貯蔵されたデータによりV1又はV0となる。すなわち、単位セル(C10')にデータ“1”が貯蔵された場合、ビットライン(BL1)の電位変化量はV1となり、単位セル(C10')にデータ“0”が貯蔵された場合、ビットライン(BL1)の電位変化量はV0となる。

【0115】この際に、ダミービットライン(DBL)の電位変化量はダミーセル(DC)のキャパシターによりdV1とdV0のおよそ中間値(基準電圧)となる。したがって、ビットライン(BL1)上の電圧とダミービットライン(DBL)上の基準電圧が比較器(CO)に伝達されることにより、単位セル(C01)から読み出したデータを判定する。つまりビットライン(BL1)での出力電圧が、ダミービットライン(DBL)から提供される基準電圧(平均電圧)より高いとデータ“1”を判定し、ビットライン(BL1)での出力電圧が、ダミービットライン(DBL)から提供される基準電圧(平均電圧)より低いとデータ“0”を判定することになる。

【0116】すなわち、本実施例による強誘電体メモリは、前述した実施例と同様に、任意の単位セルにデータを貯蔵するときにはダミーセルを使用しない反面、任意の単位セルに貯蔵されたデータを読み出すときに限り、ダミーセルを使用する。

【0117】以上説明したように、本実施例によると、前述した実施例と同様に、任意の単位セルにデータを貯蔵するときには、対応するダミーセルを使用せず、任意の単位セルからデータを読み出すときに限り、対応するダミーセル(つまり、逆ビットラインに連結されたダミーセル)を使用するため、前述した実施例と同一の結果、つまり過度のダミーセルの使用に起因する全体強誘電体メモリの使用繰り返し回数の減少又は防止及びメモリの高集積化を実現することができる。

【0118】また、本実施例によると、前述した実施例と同様に、単位セルのプレート電極を共通で連結する構造を採用するため、与えられた面積で各単位セル内キャパシターの容量を増大させ得るという付随的な効果を有する。

【0119】なお、本実施例による強誘電体メモリは、前述した第1実施例と同様に、別途のキャパシター工を行ってダミーセルのキャパシターを形成することもでき、ゲート絶縁膜をキャパシターの誘電体膜として使用するゲートキャパシターを採用することもできる。

【0120】

【発明の効果】以上説明したように、本発明によると、M×N個の単位セルからなった強誘電体メモリにおいて、各単位セルを一つのトランジスタ及び一つのキャパシターから形成し、データ判定時に使用される基準電圧を発生するダミーセルを各ビットライン単位で形成し、各ダミーセルに対応するスイッチングトランジスタをそれぞれ形成するか又は別途のダミービットラインにダミーセルを形成し、各ダミーセルに対応するスイッチングトランジスタのオン／オフ制御により、単位セルからデータを読み出すときに限り、対応するダミーセルを使用するものとすることにより、基準電圧を発生するダミーセルの使用頻度を最大限抑制して、強誘電体メモリの繰

り返し使用回数が低下することを防止とともにメモリの高集積化を実現することができる。

【0121】また、本発明の他の実施例による強誘電体メモリは、プレート電極ラインを列又は行単位に分離せず、一つのプレート電極をメモリセルに共通で使用することにより、与えられた面積内でキャパシターの容量増加を図ることができ、強誘電体膜を各単位セルのキャパシターとして使用し、強誘電体膜に比べて、疲労劣化耐性がより強い一般の誘電体膜をダミーセルのキャパシターとして使用することにより、ダミーセルの信頼性をより増進させることができる。

【図面の簡単な説明】

【図1】強誘電体膜の分極特性を示すヒステリシス特性図

【図2】本発明の一実施例による強誘電体メモリの一部を示す等価回路図

【図3】本発明の一実施例の第1変形実施例1-1による強誘電体メモリの一部を示す等価回路図

【図4】本発明の一実施例の第2変形実施例1-2による強誘電体メモリの一部を示す等価回路図

【図5】本発明の第2実施例による強誘電体メモリの一部を示す等価回路図

【図6】本発明の第2実施例の第1変形実施例2-1による強誘電体メモリの一部を示す等価回路図

【図7】本発明の第2実施例の第2変形実施例2-2による強誘電体メモリの一部を示す等価回路図

【図8】本発明の第2実施例の第3変形実施例2-3による強誘電体メモリの一部を示す等価回路図

【図9】本発明の第3実施例による強誘電体メモリの一

部を示す等価回路図

【図10】本発明の第3実施例の第1変形実施例3-1による強誘電体メモリの一部を示す等価回路図

【図11】本発明の第3実施例の第2変形実施例3-2による強誘電体メモリの一部を示す等価回路図

【図12】本発明の第4実施例による強誘電体メモリの一部を示す等価回路図

【図13】それぞれ一つのトランジスタ/キャパシター(1T/1C)構造を有する従来の強誘電体メモリの一部を示す等価回路図

【図14】それぞれ二つのトランジスタ/キャパシター(2T/2C)構造を有する従来の強誘電体メモリの一部を示す等価回路図

【符号の説明】

BL0, BL0' , /BL0, BL1, BL1' , /BL1 ビットライン(逆ビットライン)

CLD, CL0~CL3 制御ライン

C0, C1 比較器

C00, C10' , C11' , C20, C21, C30' , C31' 単位セル

DC0, DC0' , DC1, DC1' ダミーセル

DPL0, DPL1 ダミープレート電極ライン

DWL0, DWL1 ダミーワードライン

ICL0, /ICL0, ICL1, /ICL1 相互連結配線

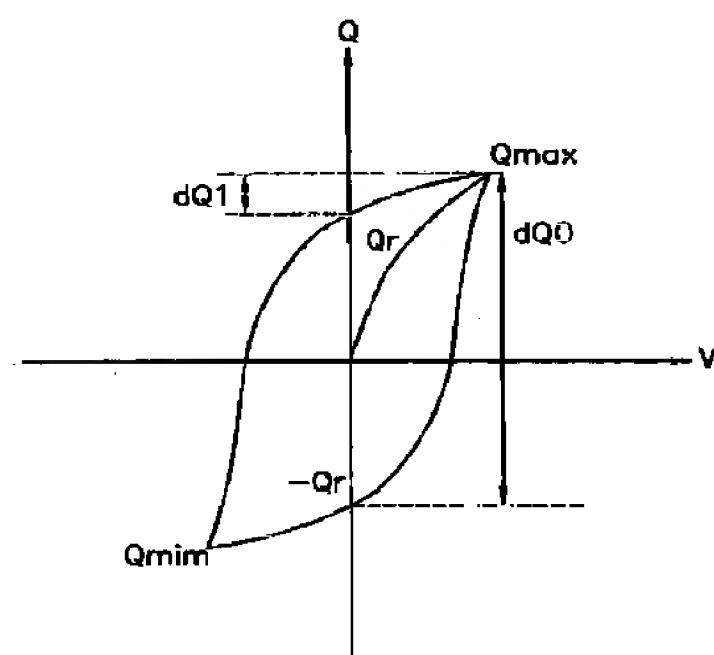
PL0~PL3 プレート電極ライン

ST0~ST7 スイッチングトランジスタ

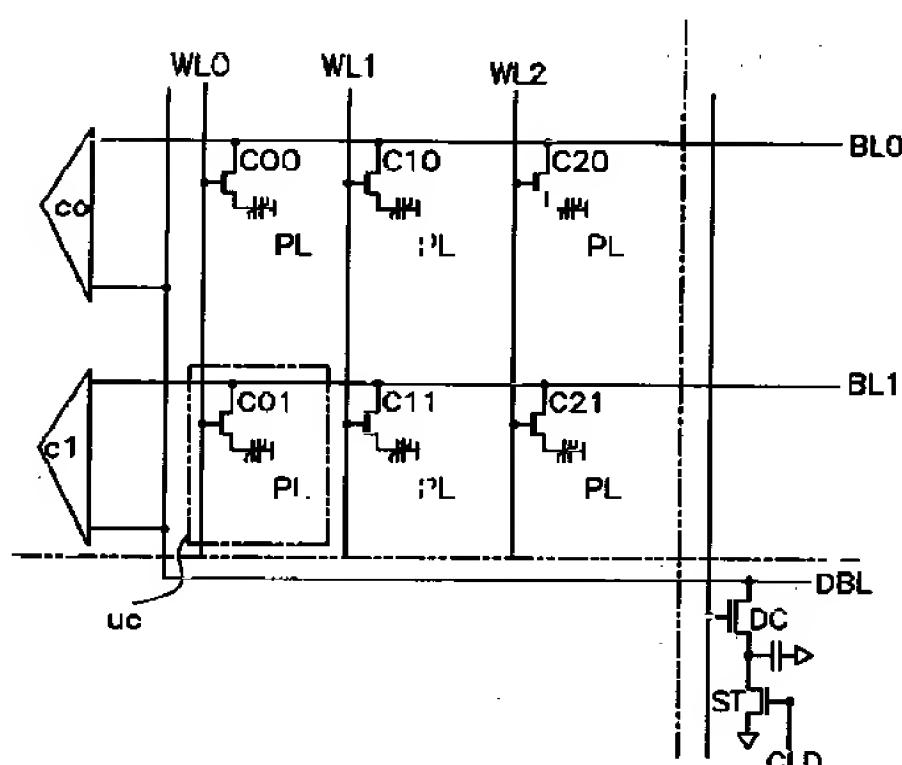
UC 単位セル

WL0~WL3 ワードライン

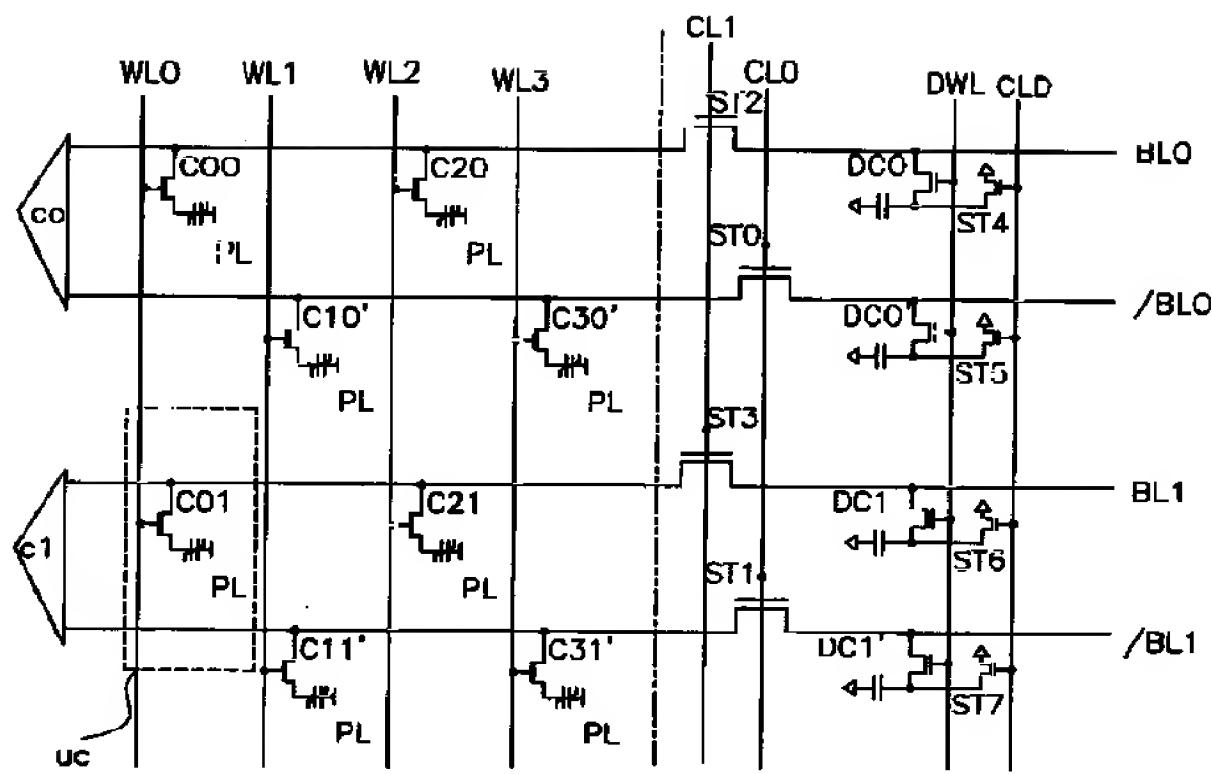
【図1】



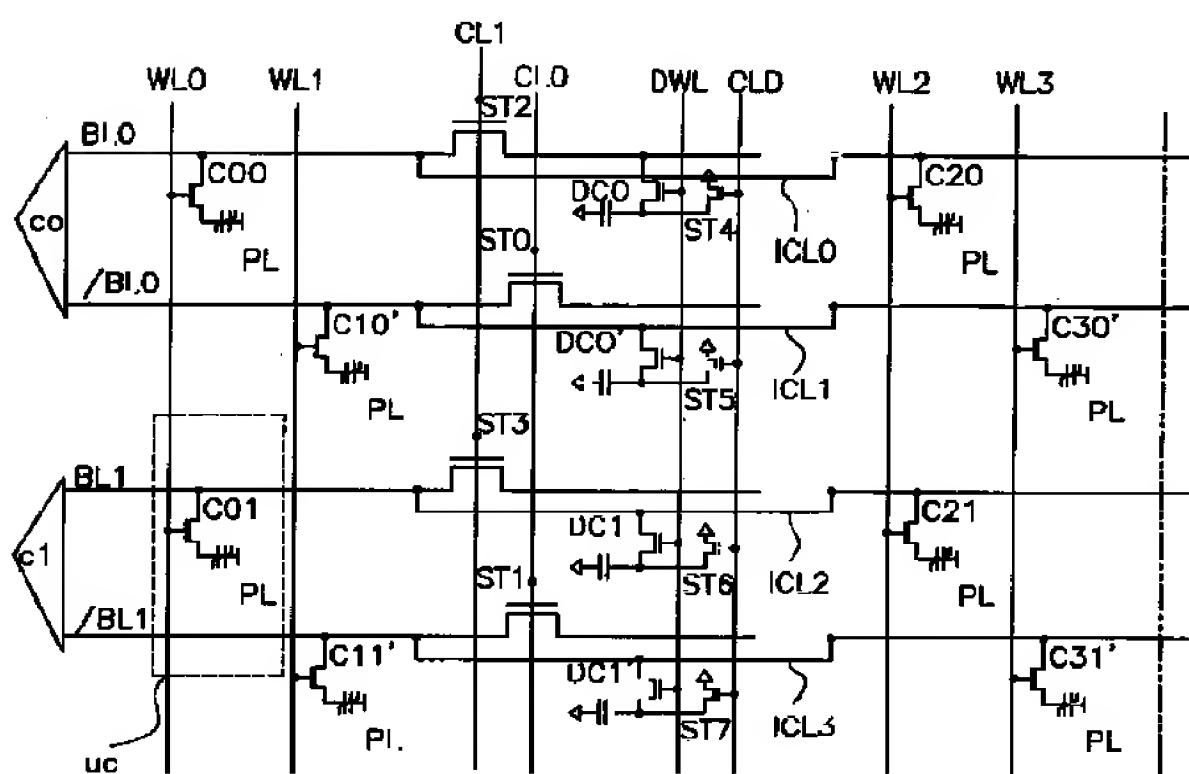
【図12】



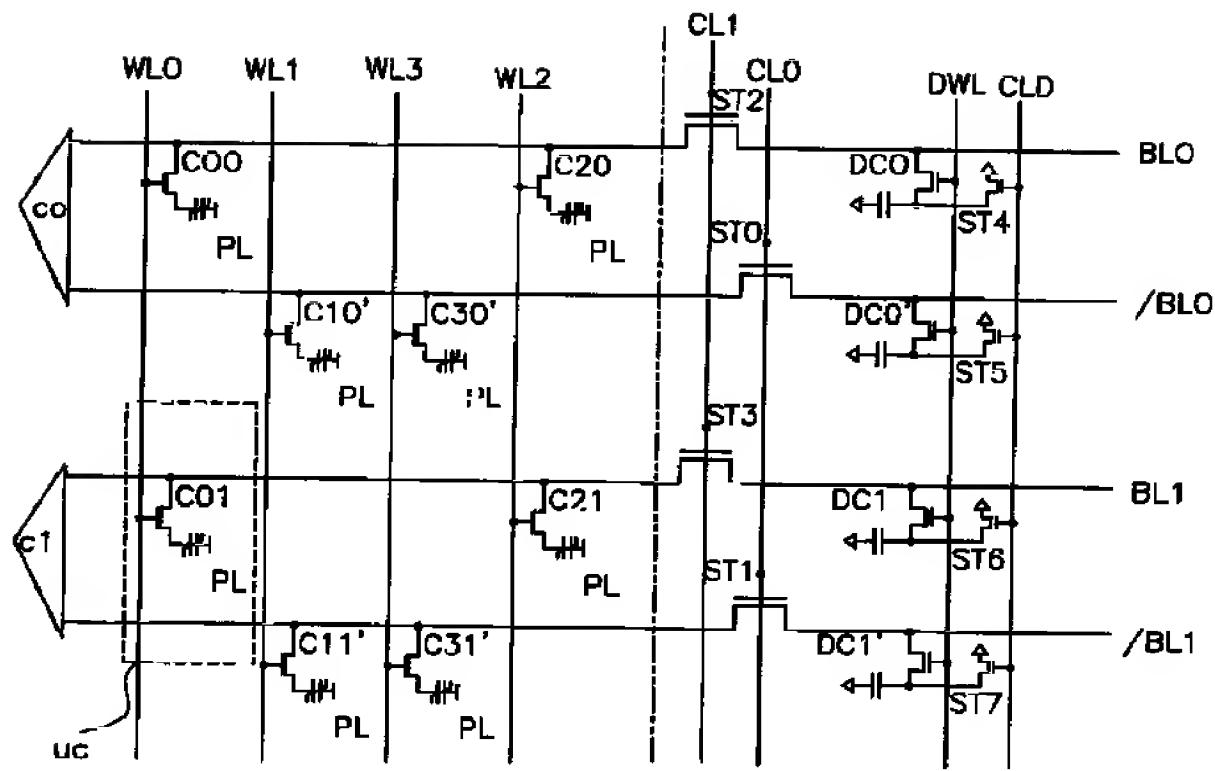
【図2】



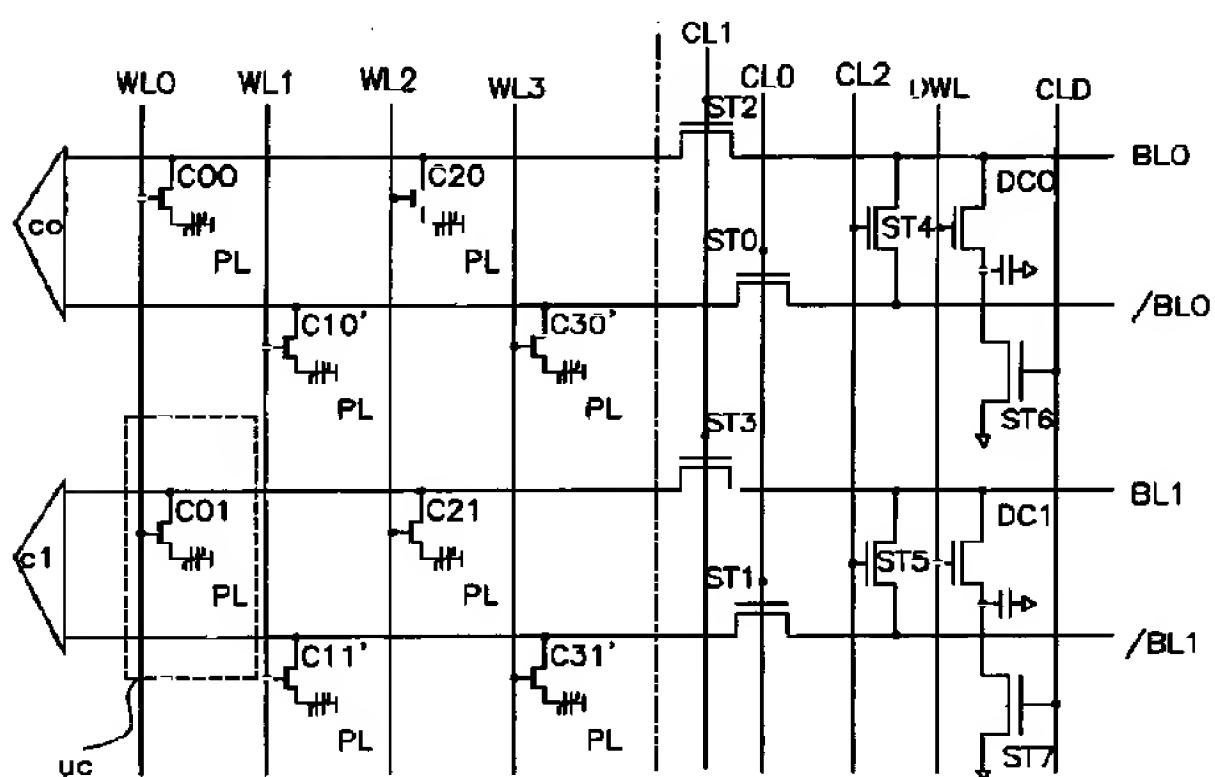
【図3】



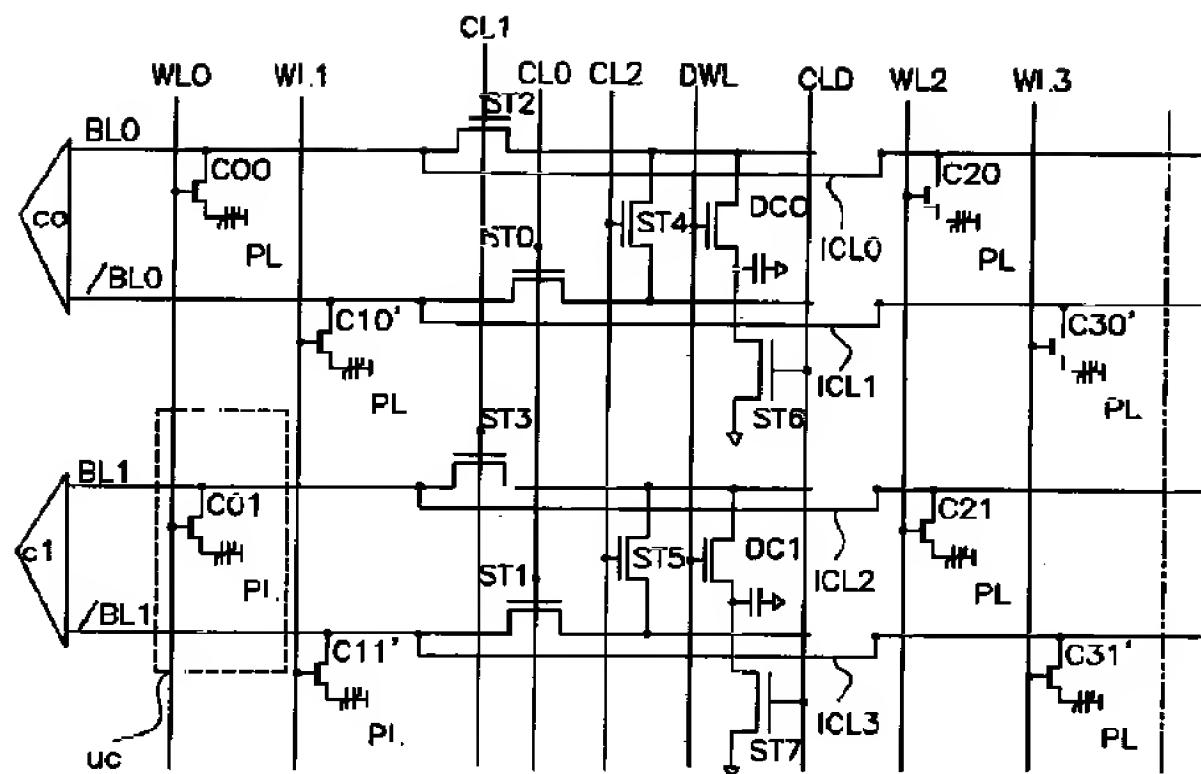
【図4】



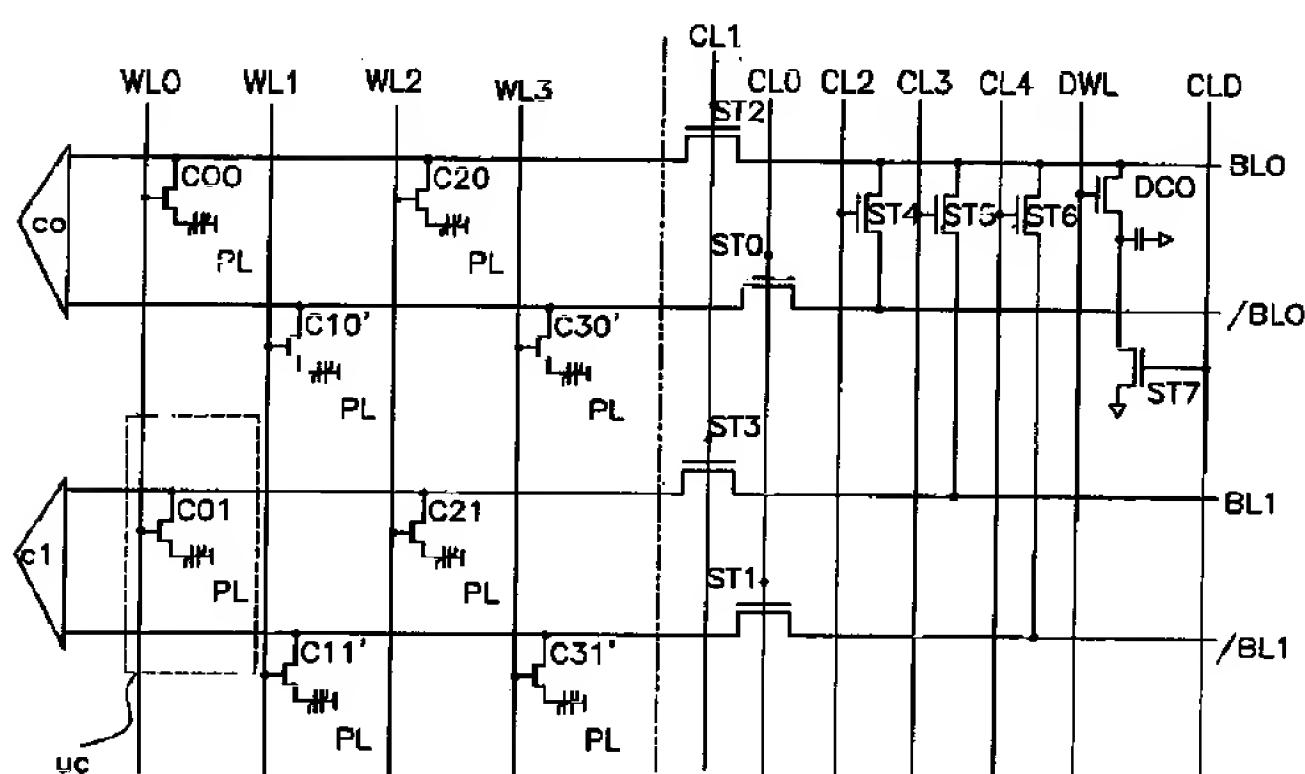
【図5】



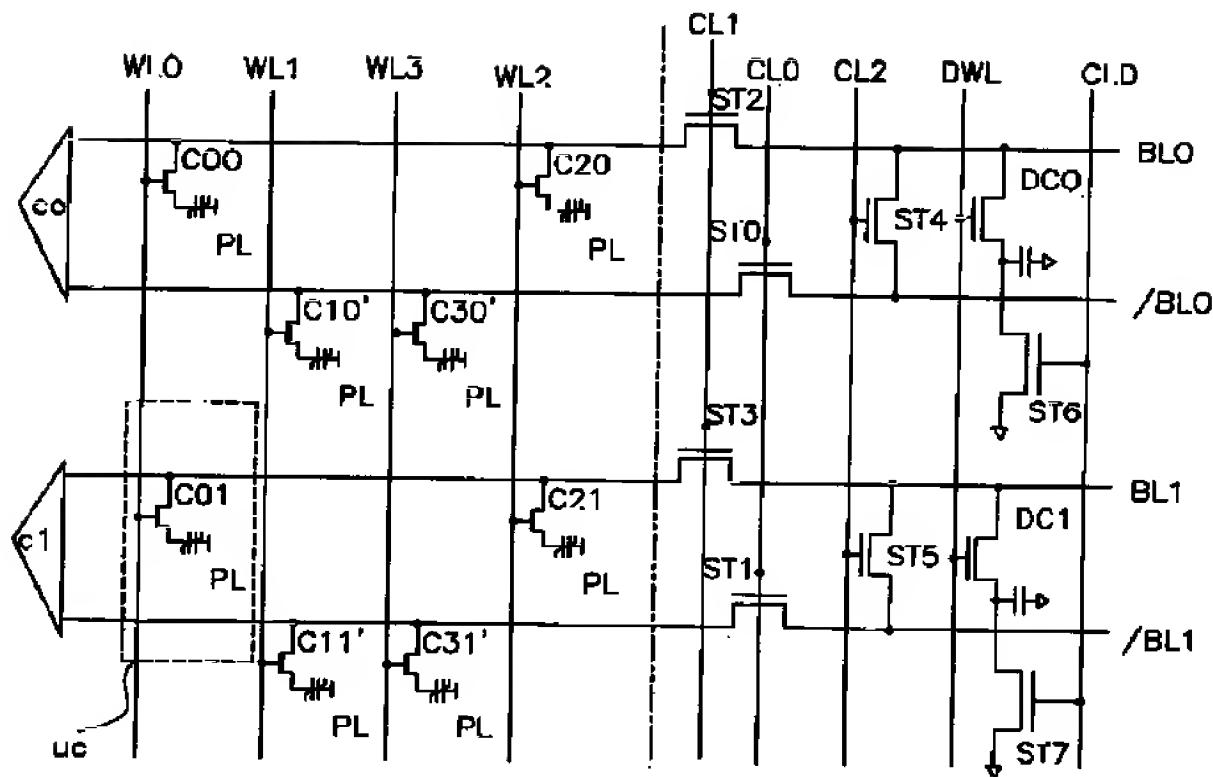
【図6】



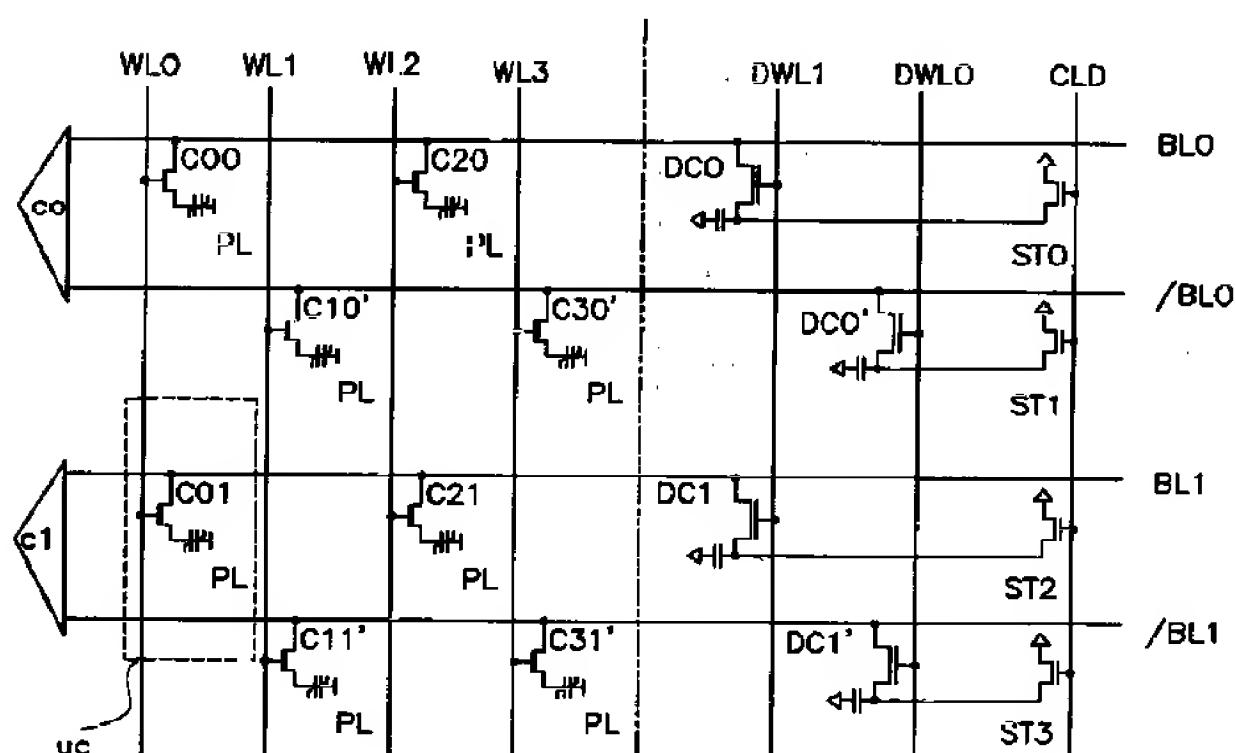
【図7】



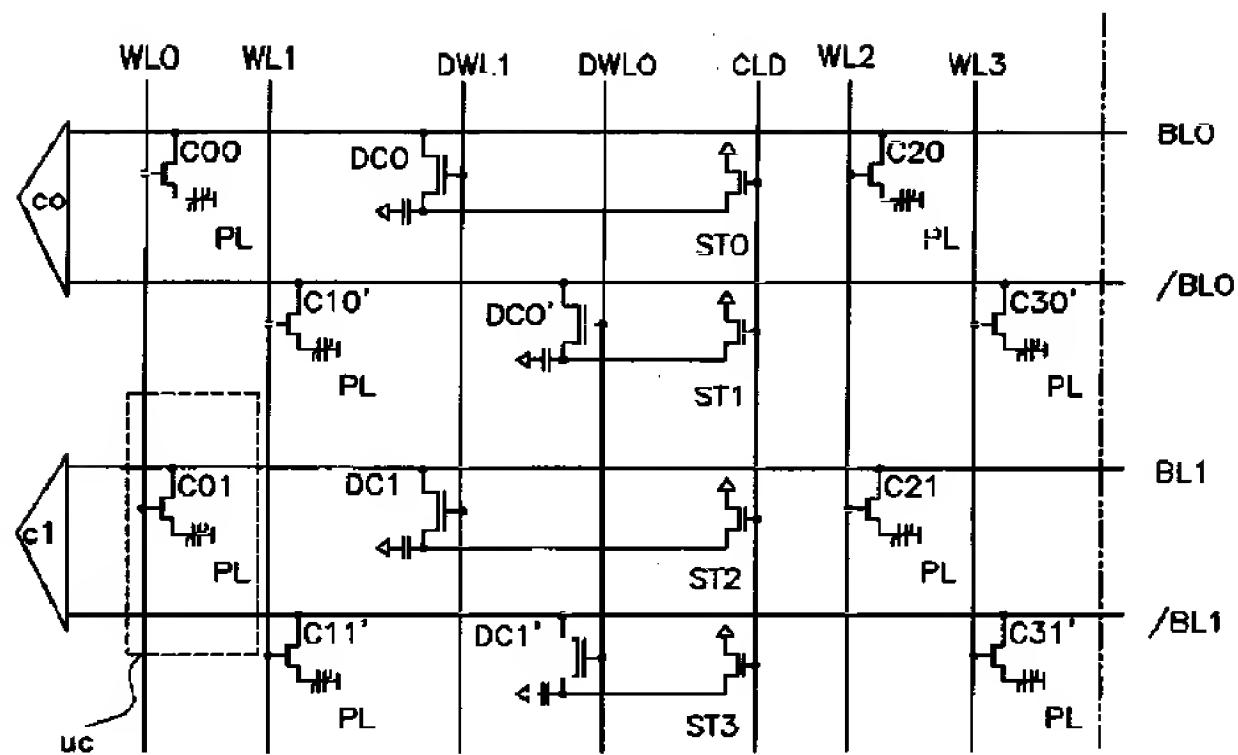
【図8】



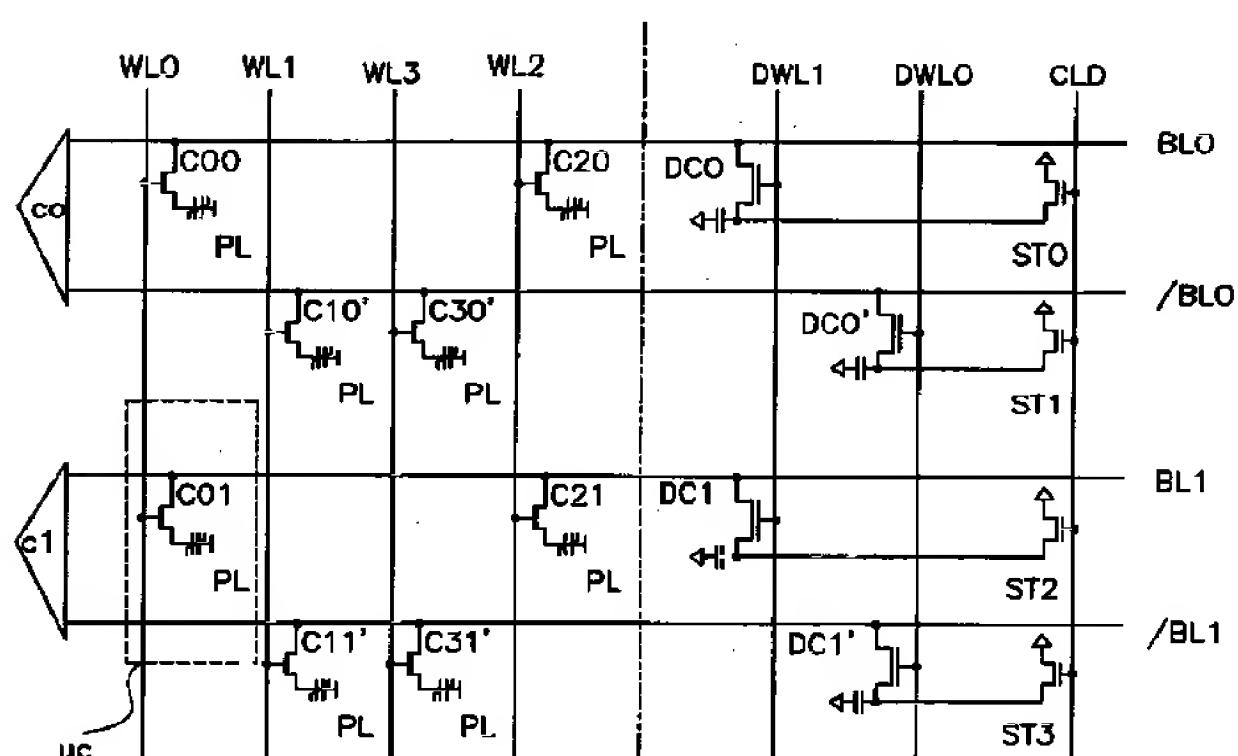
【図9】



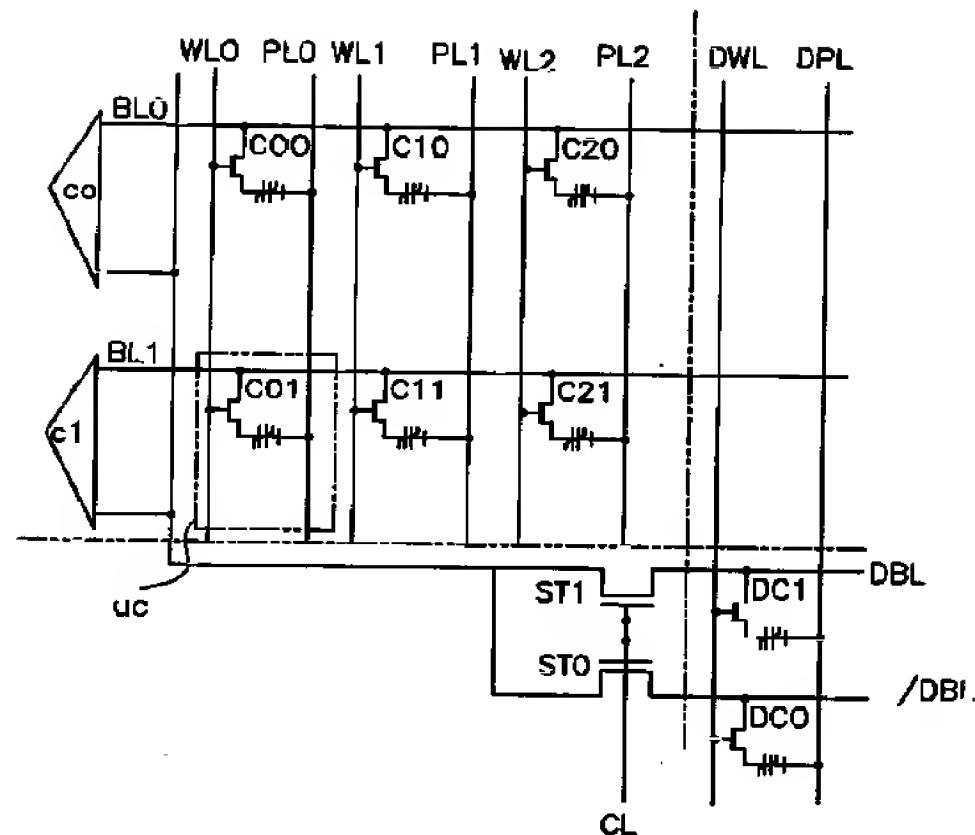
【図10】



【図11】



【図13】



【図14】

